



Vestavěné systémy

doc. Ing. Michal Prauzek, Ph.D.

zimní semestr 2022/2023



Organizační informace

Garant předmětu: doc. Ing. Michal Prauzek, Ph.D.

Přednášející: doc. Ing. Michal Prauzek, Ph.D., Ing. Martin Stankuš, Ph.D.

Cvičení: Ing. Martin Stankuš, Ph.D., Ing. Miroslav Mikuš, Ing. Jan Choutka

Kontakt: michal.prauzek@vsb.cz, (59732) 5857, místnost EA343

Web: <http://homel.vsb.cz/~pra132/>

Přednáška místnost UK321, cvičení laboratoř EB308



Podmínky absolvování

Zápočet (10-40b):

- Projekt (20b)
- Zápočtová písemka (20b)

Zkouška (20-60b)

- Písemná zkouška



Harmonogram výuky

19.9.2022 – Úvod do vestavěných systémů

26.9.2022 – Mikrokontrolér ARM Cortex M, zdroje hodinového signálu, WatchDog Timer, Napájení, základní konfigurace.

3.10.2022 – Periferie GPIO a PORT

10.10.2022 – Přerušovací systém, triggerování periférií

17.10.2022 – Časovače SysTick, PIT, LP Timer.

24.10.2022 – Časovač TPM a pulsně šířková modulace

31.10.2022 – A/D převodníky

7.11.2022 – D/A převodníky, komparátor.

14.11.2022 – Úvod do komunikačních rozhraní, sériová komunikace UART

21.11.2022 – Rozhraní SPI a I2C.

28.11.2022 – Techniky přímého přístupu do paměti.

5.12.2022 – Opakování nebo rozšiřující přednáška



Úvod do vestavěných systémů

Přednáška 1



Náplň přednášky 1

- Vestavěný systém
- Výpočetní jednotky
- Výrobci mikrokontrolérů
- Základní pojmy mikroprocesové techniky



Vestavěný řídicí systém

Anglicky: Embedded system

- Je jednoúčelový systém zcela zabudován do zařízení, které ovládá.
- Je maximálně optimalizovaný pro danou aplikaci (výkon, spolehlivost, rozměry, cena ...).
- Většina elektronických aplikací kolem nás je vestavěných: bankomaty, kalkulačky, prodejní automaty, palubní počítače, mobilní telefony ...

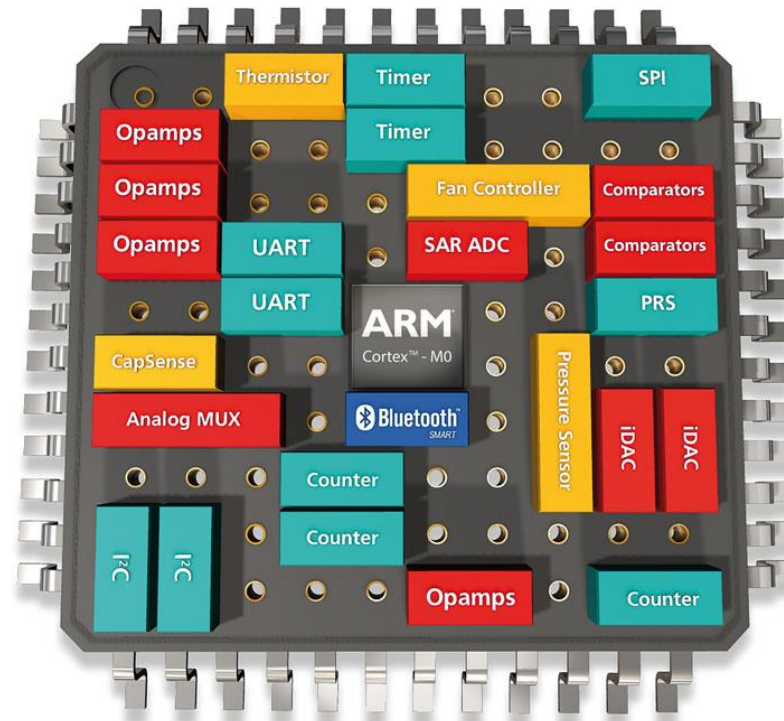


Výpočetní jednotky

Každý vestavěný systém je v podstatě „počítačem“.

Jádro většinou tvoří jeden nebo více programovatelných nebo konfigurovatelných obvodů jako například:

- **MPU** (mikroprocesor)
- **MCU** (mikrokontrolér)
- **FPGA** (hradlové pole)
- **SoC** (system on chip)
- ... a další





Majoritní výrobci mikrokontrolérů

NXP (i bývalé Freescale produkty)

Renesas (NEC Electronics, Mitshubishi Electric, Hitachi)

Microchip (i bývalé Atmel produkty)

ST Microelectronics

Texas Instrument

... a další





Mikroprocesor vs. mikrokontrolér

Mikroprocesor : Řadič + ALU (+ operační paměť)

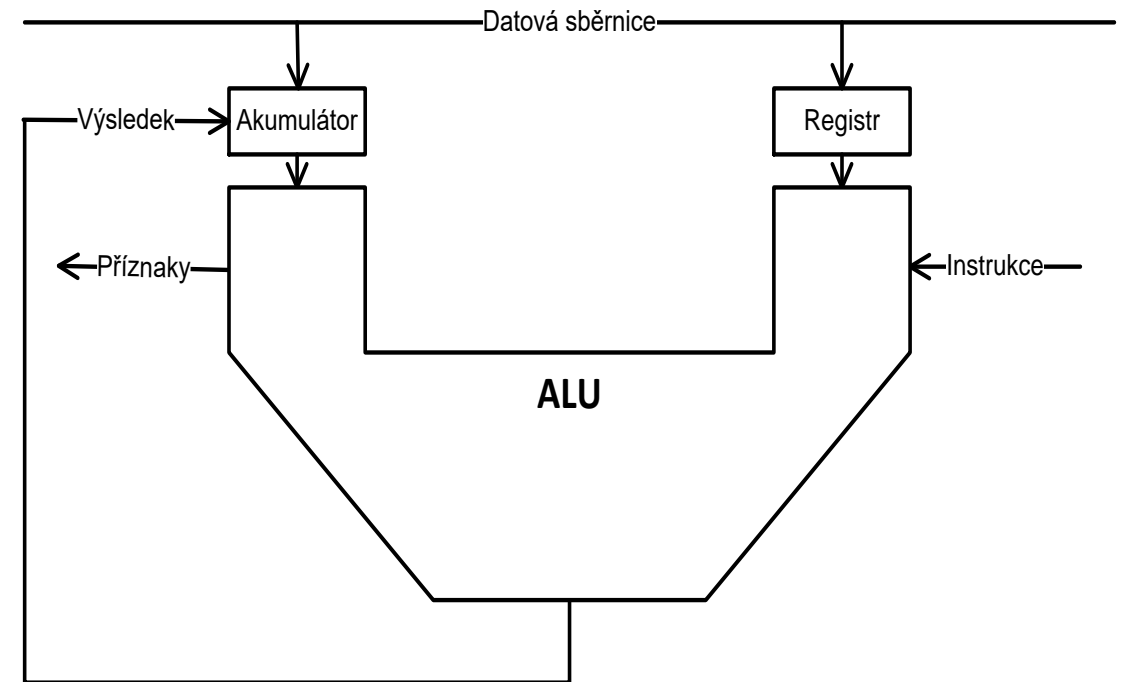
- Řadič nebo řídicí jednotka – jádro - řízení činnosti procesoru , Sada registrů (v řadiči) k uchování operandů a mezivýsledků. (čítač instrukcí, stavové registry, registr vrcholu zásobníku, indexregistry
- Jedna nebo více aritmeticko logických jednotek (ALU - Arithmetic-Logic Unit), které provádí s daty příslušné aritmetické a logické operace.
- Jedna nebo více FPU - jednotka plovoucí čárky

Mikrokontrolér (MCU, uC)

- současně integrovány základní periferní obvody.
- jádro mikroprocesoru, paměti (RAM, ROM, EEPROM, FLASH, čítače a časovače, ADC a podobně na jediném čipu
- schopen samostatné funkce bez přídavných periférií - obsahuje kompletní mikropočítač

Aritmeticko-logická jednotka

- Aritmeticko-logická jednotka (ALU podle anglického arithmetic logic unit) je jedna ze základních komponent počítačového procesoru, ve které se provádějí všechny aritmetické (např. sčítání, násobení, bitový posuv, ...) a logické (logický součin, negace, ...) výpočty.
- V mnoha dnešních procesorech je na jednom procesoru více než jedna ALU, obvykle rozdělené na jednotky pro práci s celočíselnými operandy a jednotky pro práci s operandy v plovoucí řádové čárce (ty se někdy neoznačují jako ALU, ale jako FPU, floating-point unit). Jednotlivé ALU pracují relativně nezávisle, takže procesor může v jednom hodinovém taktu provést více instrukcí ve více jednotkách současně.

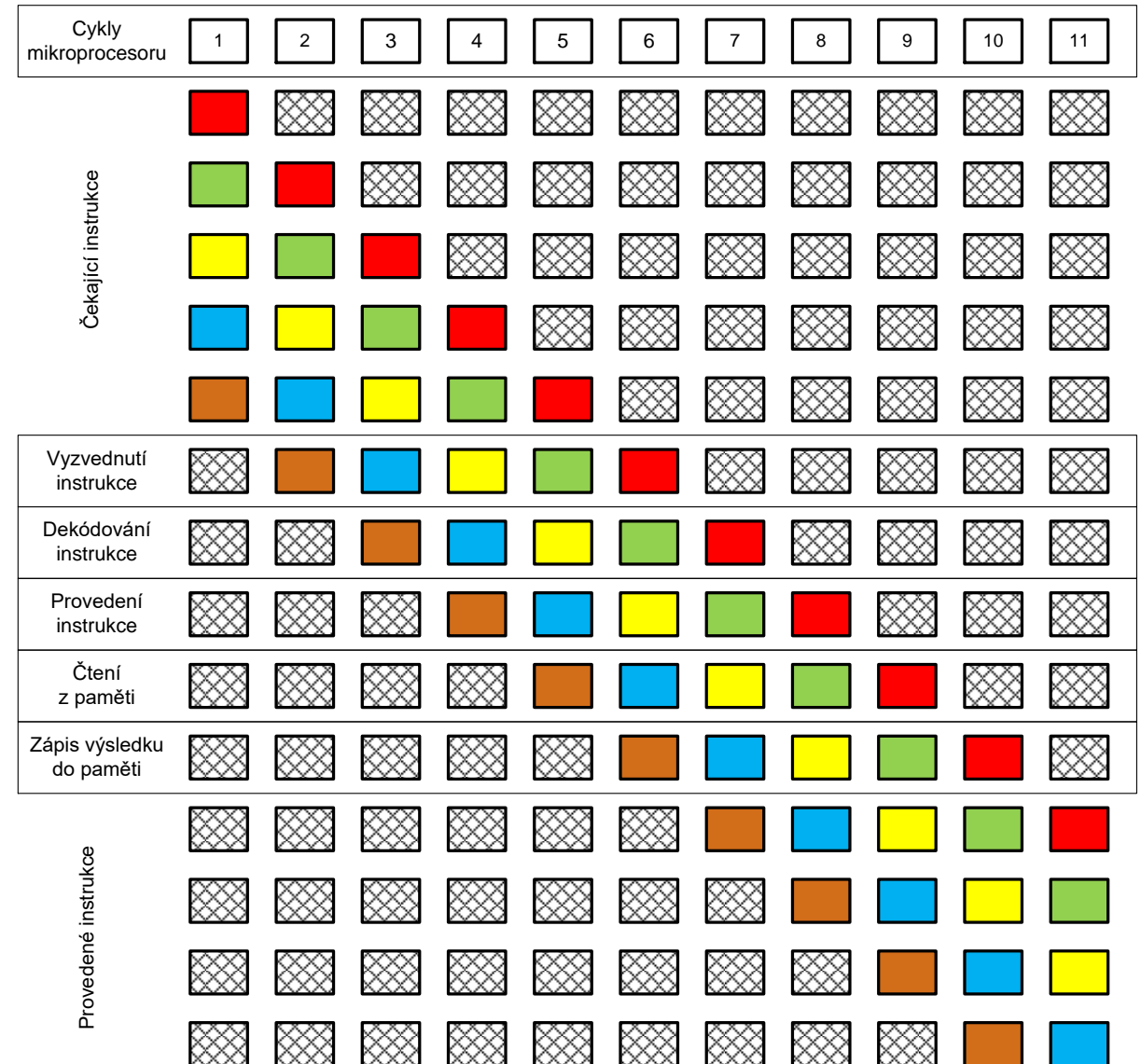




Zpracování instrukcí

Zpracování instrukcí lze provést dvěma způsoby:

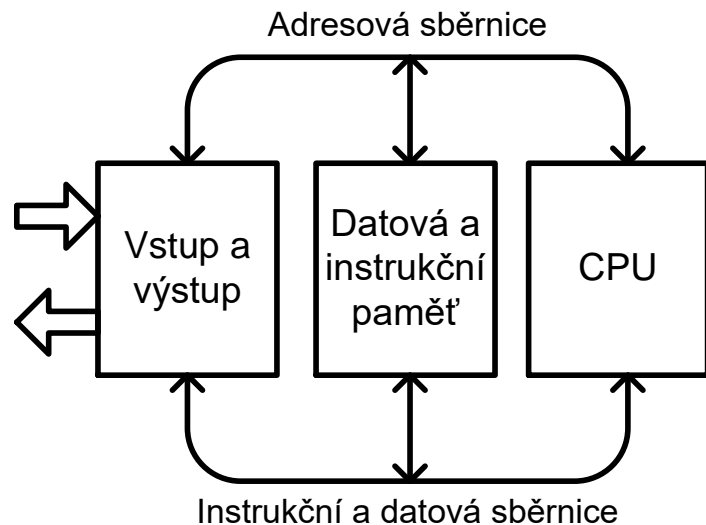
- Jednoduché zpracování instrukcí
- Zřetězené zpracování instrukcí (**pipeline**)



Architektura počítače

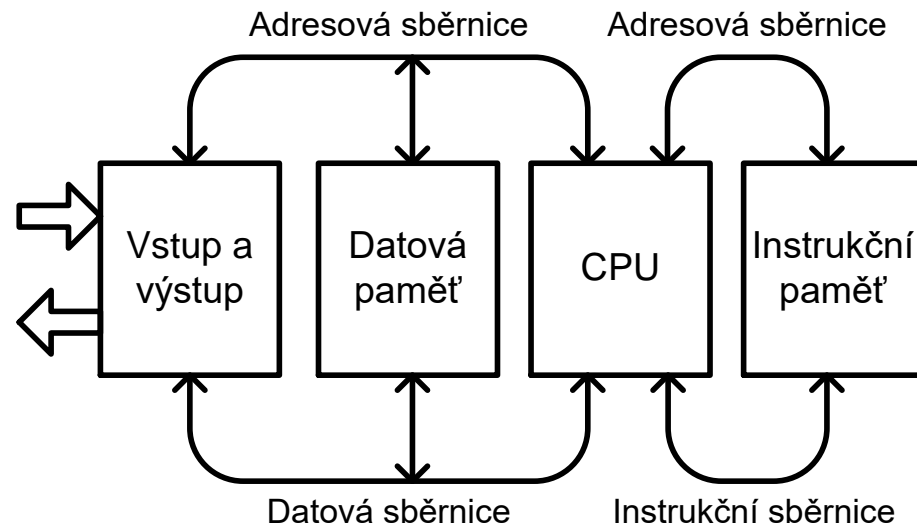
Von Neumannova architektura

Von Neumannova architektura popisuje počítač se společnou pamětí pro instrukce i data. To znamená, že zpracování je sekvenční oproti například harvardské architektuře, která je typickým představitelem paralelního zpracování.



Harvardská architektura

U harvardské architektury není potřeba mít paměť stejných parametrů a vlastností pro data a pro program. Paměti mohou být naprosto odlišné, mohou mít různou délku slova, časování, technologii a způsob adresování.



Instrukční sada

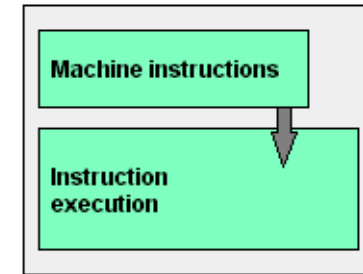
Počítače CISC

- CISC (anglicky Complex Instruction Set Computer) označuje v informatice skupinu procesorů vyznačujících se podobným návrhem sady strojových instrukcí.
- Označení complex vyjadřuje skutečnost, že strojové instrukce pokrývají velmi široký okruh funkcí, které by jinak šly naprogramovat pomocí jednodušších již obsažených strojových instrukcí (například násobení je možné nahradit sčítáním a bitovými posuny).

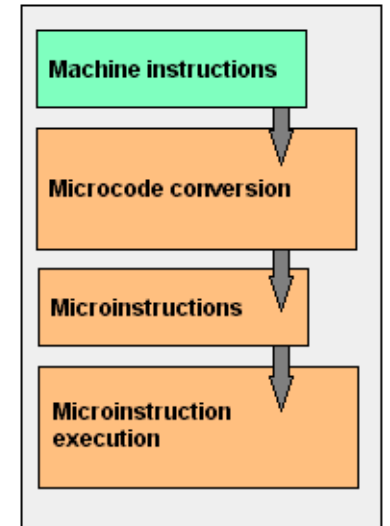
Počítače RISC

- RISC (anglicky Reduced Instruction Set Computing, výslovnost risk) označuje v informatice jednu z architektur mikroprocesorů.
- RISC označuje procesory s redukovanou instrukční sadou, jejichž návrh je zaměřen na jednoduchou, vysoce optimalizovanou sadu strojových instrukcí, která je v protikladu s množstvím specializovaných instrukcí ostatních architektur (například u RISC například neexistuje instrukce pro násobení, které se realizuje softwarově pomocí jednoduchých instrukcí sčítání a bitových posunů).

RISC

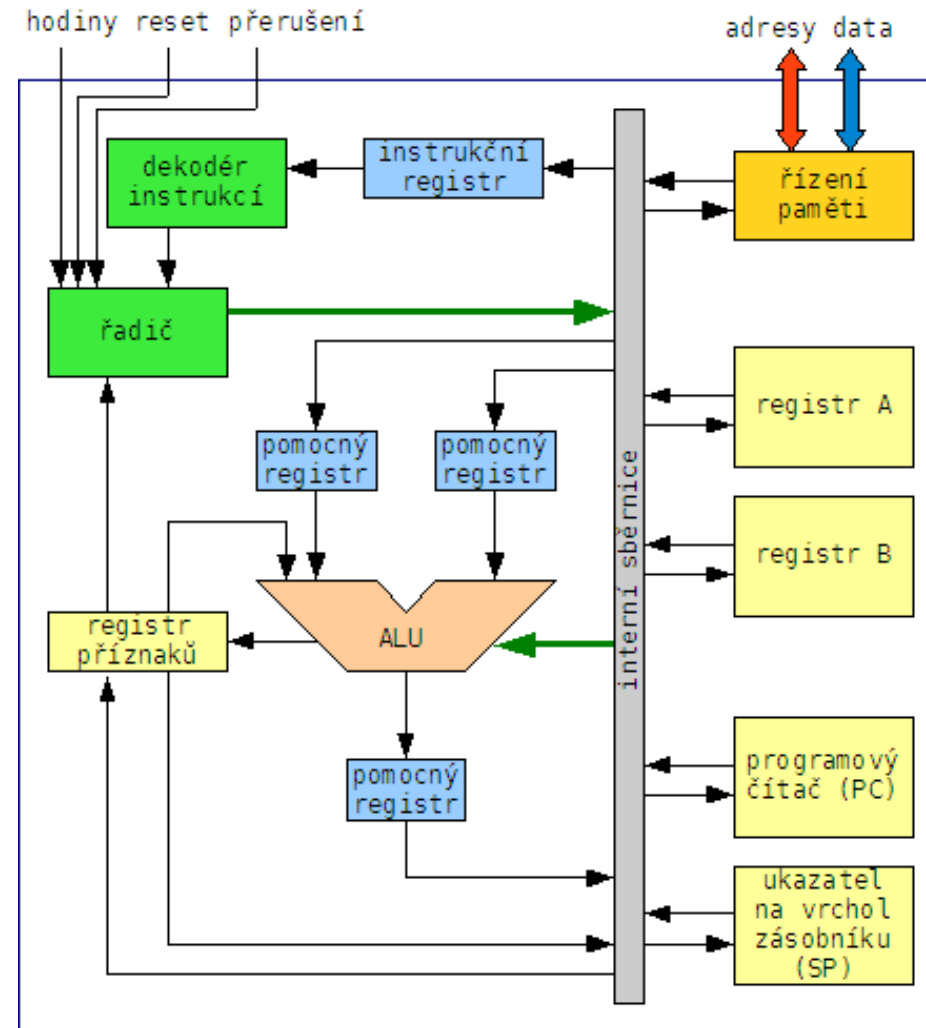


CISC



Programátorský model

Programátorský model popisuje propojení vnitřních součástí procesoru nebo mikrokontroléru.





Děkuji za pozornost



ARM Cortex M

Přednáška 2



Náplň přednášky 2

- ARM Cortex M
- NXP Kinetis K a KL
- Rapid prototyping a KL25Z
- SysTick
- SIM
- WatchDogTimer (COP)



ARM Cortex-M

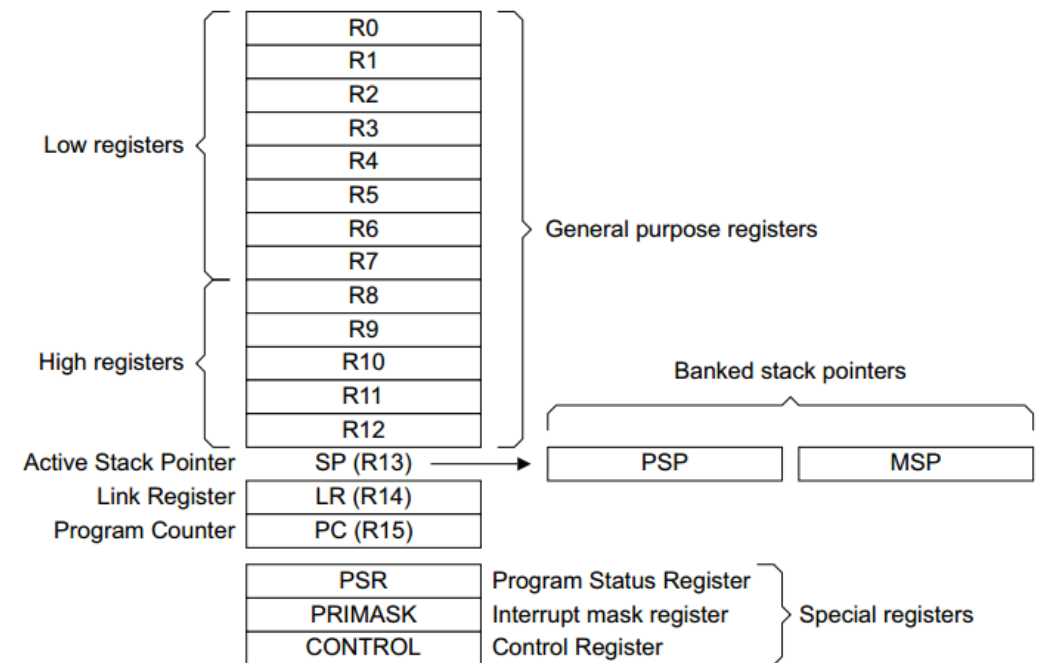
Skupina 32 bitových procesorových jader typu RISC.

Nyní jsou vyráběny:

- Cortex-M0 (ARMv6-M, 3 stupňová pipeline)
- Cortex-M0+ (ARMv6-M, 2 stupňová pipeline, optimalizovaná instrukční sada)
- Cortex-M1 (ARMv6-M, optimalizované jádro pro FPGA)
- Cortex-M3 (ARMv7-M)
- Cortex-M4 (ARMv7-M, možná FPU)
- Cortex-M7 (ARMv7-M, velmi výkonné jádro, 6 stupňová pipeline)
- Cortex-M23 (ARMv8-M, security instrukce, 2 stupňová pipeline)
- Cortex-M33 (ARMv8-M, security instrukce, 3 stupňová pipeline)

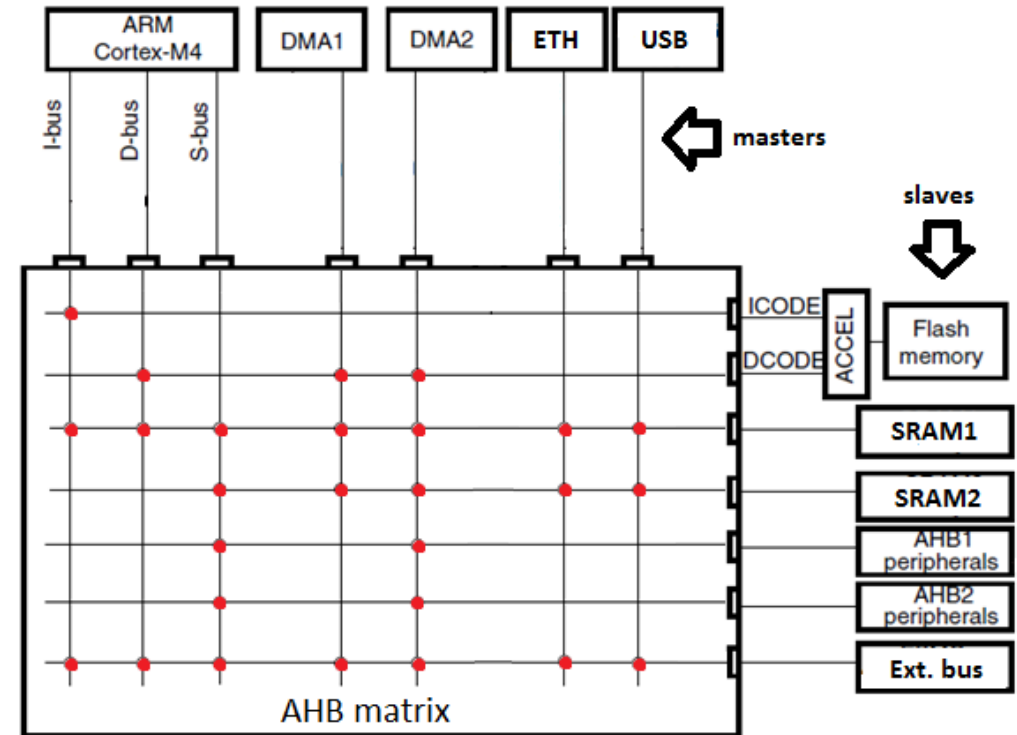
Celkový přehled všech vlastností a programátorský model

| ARM Core | Cortex M0 | Cortex M0+ | Cortex M1 | Cortex M3 | Cortex M4 | Cortex M7 | Cortex M23 | Cortex M33 |
|-----------------------------|---------------|---------------|---------------|--------------------------------|--------------------------------|--------------------------------|---------------|--------------------------------|
| Thumb-1 instructions | Most | Most | Most | Entire | Entire | Entire | Most | Entire |
| Thumb-2 instructions | Some | Some | Some | Entire | Entire | Entire | Some | Entire |
| Multiply instructions | 32-bit result | 32-bit result | 32-bit result | 32-bit result 64-bit result | 32-bit result 64-bit result | 32-bit result 64-bit result | 32-bit result | 32-bit result 64-bit result |
| Divide instructions | No | No | No | Yes | Yes | Yes | Yes | Yes |
| Saturated instructions | No | No | No | Some | Yes | Yes | No | Yes |
| DSP instructions | No | No | No | No | Yes | Yes | No | Optional |
| Floating-point instructions | No | No | No | No | Optional: SP | Optional: SP or SP & DP | No | Optional: SP |
| TrustZone instructions | No | No | No | No | No | No | Optional | Optional |
| Instruction pipeline | 3 stages | 2 stages | 3 stages | 3 stages | 3 stages | 6 stages | 2 stages | 3 stages |
| Computer architecture | Von Neuman | Von Neuman | Von Neuman | Harvard | Harvard | Harvard | Von Neumann | Harvard |
| ARM architecture | ARMv6-M | ARMv6-M | ARMv6-M | ARMv7-M ¹ | ARMv7E-M | ARMv7E-M | ARMv8-M | ARMv8-M |



AHB bus

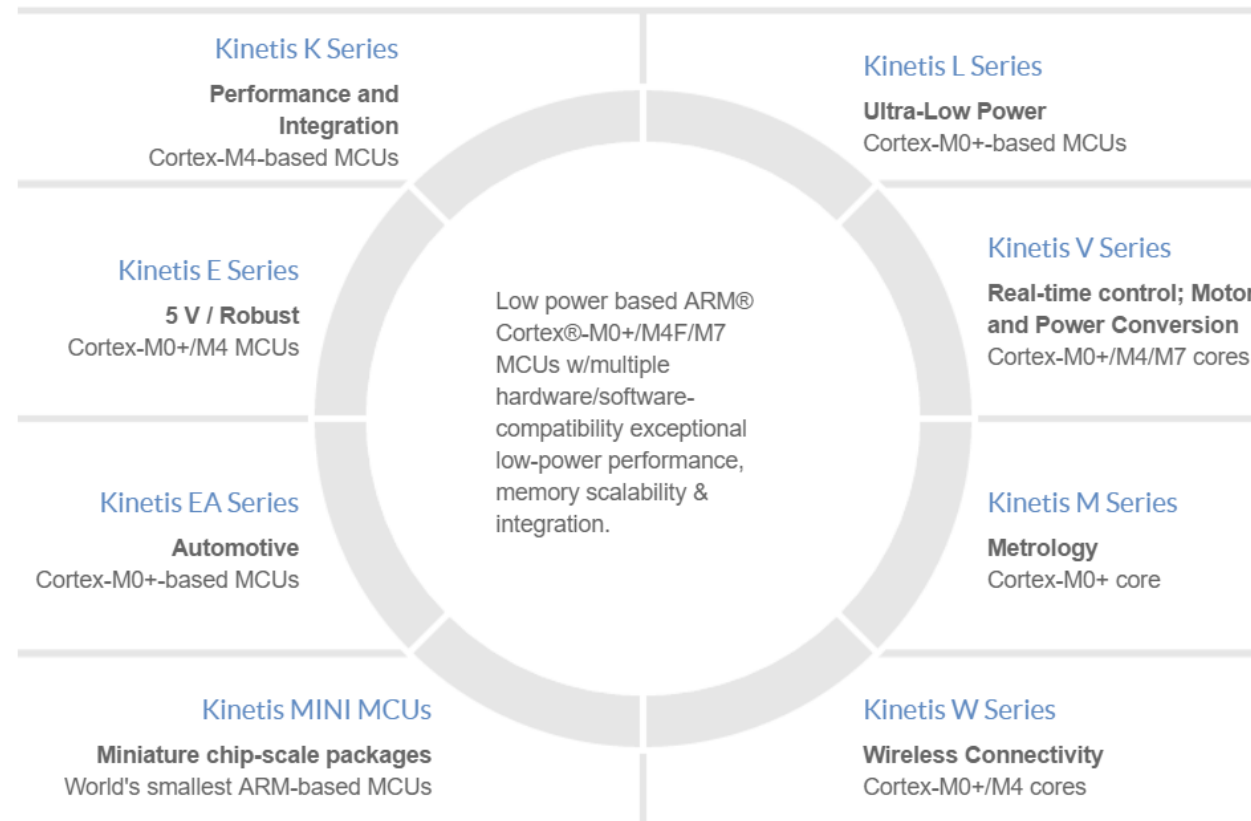
- Sběrnice (nejen) ARM Cortex-M0/M1/M3/M4: tzv. AHB (AMBA Hi-perf Bus)
- AHB má crossbar topologii -> je možná současná komunikace různých master portů s různými slave porty
- Všechny master porty nemusí být propojeny se všemi slave porty
- Arbitráž řešena hardwarově -> řízení metodami fixed priority nebo round-robin
- Arbitráž je z hlediska programu transparentní



MCU NXP Kinetis

Řada 32 bit low-power MCU na bázi ARM Cortex-M

<http://www.nxp.com/products/microcontrollers-and-processors/arm-processors/kinetis-cortex-m-mcus:KINETIS>





Kinetis K family

- K0x – Entry level
- K1x – Mainstream
- K2x – USB
- K3x – Segment LCD
- K4x – USB and segment LCD
- K5x – Measurement
- K6x – Ethernet
- K7x – Graphic LCD
- K8x – Scalable and secure

| Standard Key Features | | | | | | | | | | | |
|--|---------------|---|-----------------------------------|----------|-----|-----|----------|-------------|---------------|------------------|---------------------|
| UART, I ² C, I ² S, SPI, 16-bit ADC, 12-bit DAC, timers, comparators and GPIO. | | | | | | | | | | | |
| Product | CPU | Memory | Packages | Comms | | | HMI | | Security | | |
| | ARM Cortex-M4 | | | Ethernet | CAN | USB | SVGA LCD | Segment LCD | HW Encryption | Tamper Detection | Encr. Firmware Upd. |
| K8x > Scalable and Secure | 150 MHz | 256 KB Flash 256 KB SRAM, XIP QuadSPI | LQFP, MAPBGA, WLCSP | | | ✓ | | | ✓ | ✓ | ✓ |
| K7x > Graphic LCD | 120–150 MHz | 1 MB Flash 128 KB SRAM | MAPBGA | ✓ | ✓ | ✓ | ✓ | | ✓ | ✓ | |
| K6x > Ethernet | 100–180 MHz | 256 KB–2 MB Flash 64–256 KB SRAM | LQFP, MAPBGA, WLCSP | ✓ | ✓ | ✓ | | | ✓ | ✓ | |
| K5x > Measurement | 72–100 MHz | 160–512 KB Flash 32–128 KB SRAM | LQFP, MAPBGA | ✓ | | ✓ | | ✓ | ✓ | | |
| K4x > USB and segment LCD | 72–100 MHz | 64–512 KB Flash 16–128 KB SRAM | LQFP, MAPBGA | | ✓ | ✓ | | ✓ | | | |
| K3x > Segment LCD | 72–100 MHz | 64–512 KB Flash 16–128 KB SRAM | LQFP, MAPBGA | | ✓ | | | ✓ | | | |
| K2x > USB | 50–180 MHz | 32 KB–2 MB Flash 8–256 KB SRAM | LQFP, QFN, MAPBGA, WLCSP | | ✓ | ✓ | | | ✓ | ✓ | |
| K1x > Mainstream | 50–120 MHz | 32 KB–1 MB Flash 8–128 KB SRAM | LQFP, QFN, MAPBGA | | ✓ | | | | ✓ | ✓ | |
| K0x > Entry-level | 100 MHz | 64–128 KB Flash 16 KB SRAM | LQFP, QFN | | | | | | | | |

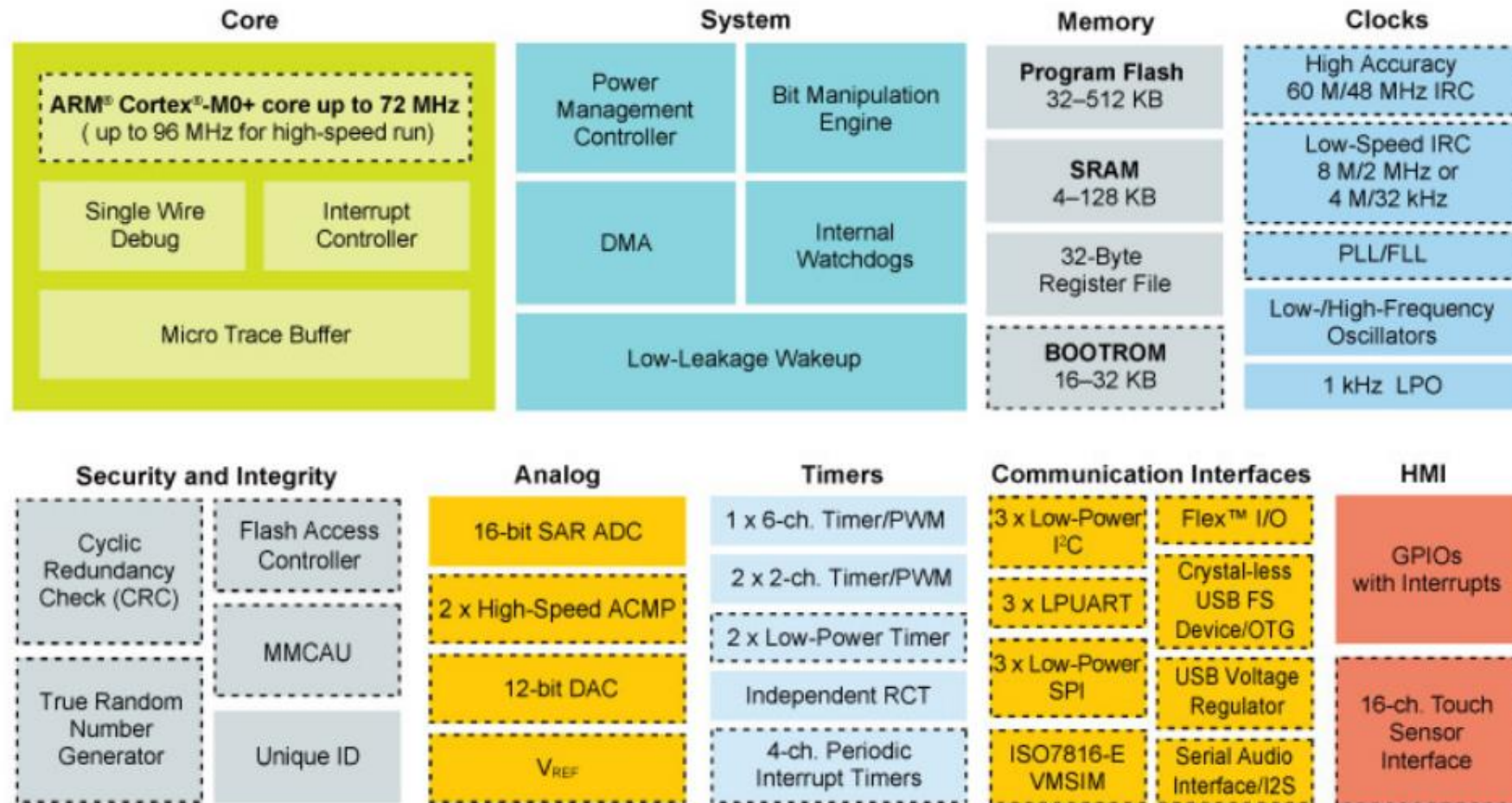


Kinetis KL family

- KL0x – Entry level
- KL1x – Mainstream
- KL2x – USB
- KL3x – Segment LCD
- KL4x – USB and segment LCD
- KL8x - Security

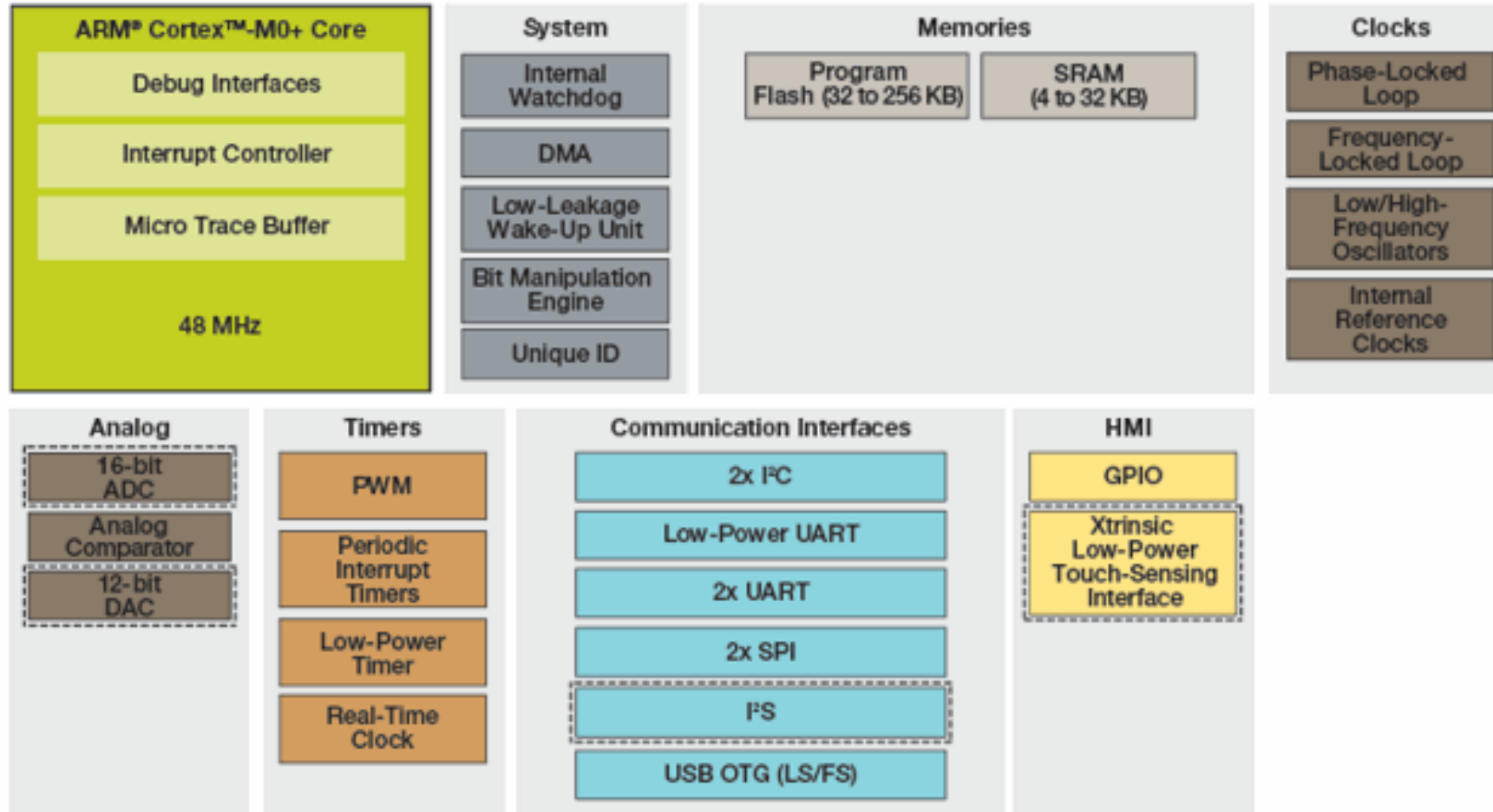
| Standard Key Features: Low-Power UART and Timers, PWM, SPI, I ² C, RTC and Analog Comparator. | | | | | | | | | | |
|--|------------------------------|-----------------------------------|---------------------------------------|-----------|------------------|----------------|---------|-------------|---------------|------------------|
| Products | CPU | Memory | Packages | | Comms | | HMI | | Security | |
| | ARM Cortex-M0+ | | Type | Pin Count | I ² S | USB Full-Speed | FlexIO* | Segment LCD | HW Encryption | Tamper Detection |
| KL8x > Security | 72 MHz (Up to 96 MHz) | 128 KB Flash 96 KB SRAM | LQFP, MAPBGA, WLCSF | 64–121 | ✓ | ✓ | ✓ | ✓ | ✓ | ✓ |
| KL4x > USB and Segment LCD | 48 MHz | 128–256 KB Flash 16–32 KB SRAM | LQFP, MAPBGA | 64–121 | ✓ | ✓ | ✓ | ✓ | | |
| KL3x > Segment LCD | 48 MHz | 32–256 KB Flash 4–32 KB SRAM | LQFP, MAPBGA | 64–121 | ✓ | | ✓ | ✓ | | |
| KL2x > USB | 48 MHz / 72MHz (Up to 96) | 32–512 KB Flash 4–128 KB SRAM | LQFP, QFN, MAPBGA, XFBGA, WLCSF | 32–121 | ✓ | ✓ | ✓ | | ✓ | |
| KL1x > Mainstream | 48 MHz | 32–256 KB Flash 4–32 KB SRAM | LQFP, QFN, MAPBGA, XFBGA, WLCSF | 32–80 | ✓ | | ✓ | | | |
| KL0x > Entry-level | 48 MHz | 8–32 KB Flash 1–4 KB SRAM | LQFP, QFN WLCSF | 16–48 | | | | | | |

MCU KL2x





MCU KL25Z



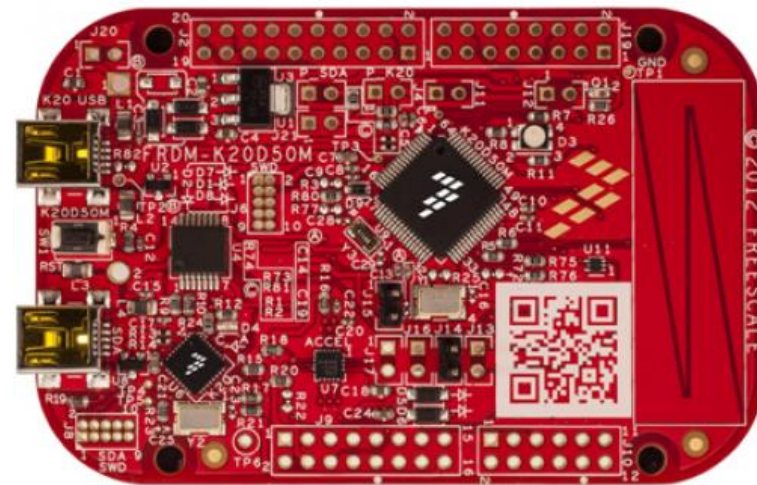


Rapid prototyping

NXP Tower system



NXP Freedom board





FRDM KL25Z

NXP KL25Z Kinetis KL2 MCU (MKL25Z128VLK4)

- High performance ARM® Cortex™-M0+ Core
- 48MHz, 16KB RAM, 128KB FLASH
- 2xSPI, 2xI2C, 3xUART, 6xPWM, 6xADC, Touch Sensor, GPIO

FRDM-KL25Z Onboard peripherals

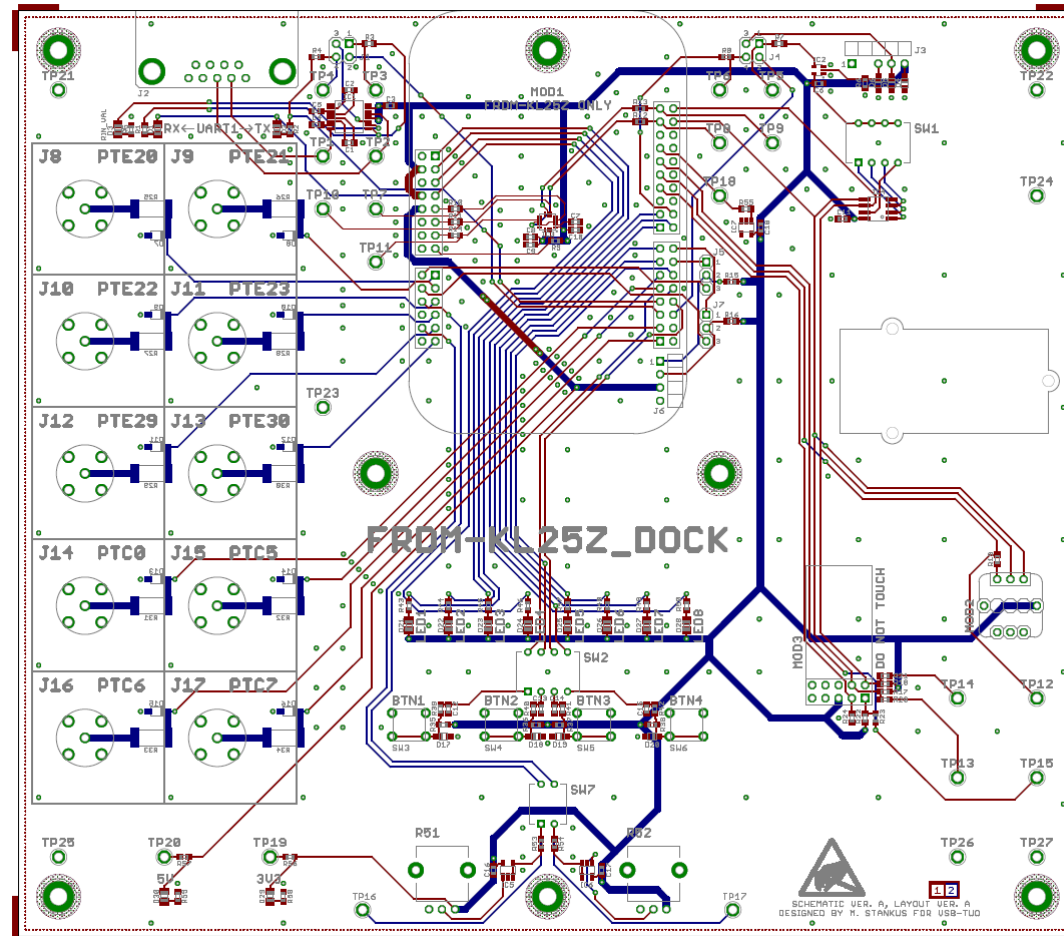
- MMA8451Q - 3-axis accelerometer
- PWM Controlled RGB LED
- Capacitive touch sensor

Evaluation Form factor

- 81mm x 53mm
- 5V USB or 4.5-9V supply
- Built-in USB drag 'n' drop FLASH programmer



EB308 – EDU Platform





Dokumentace k KL25Z

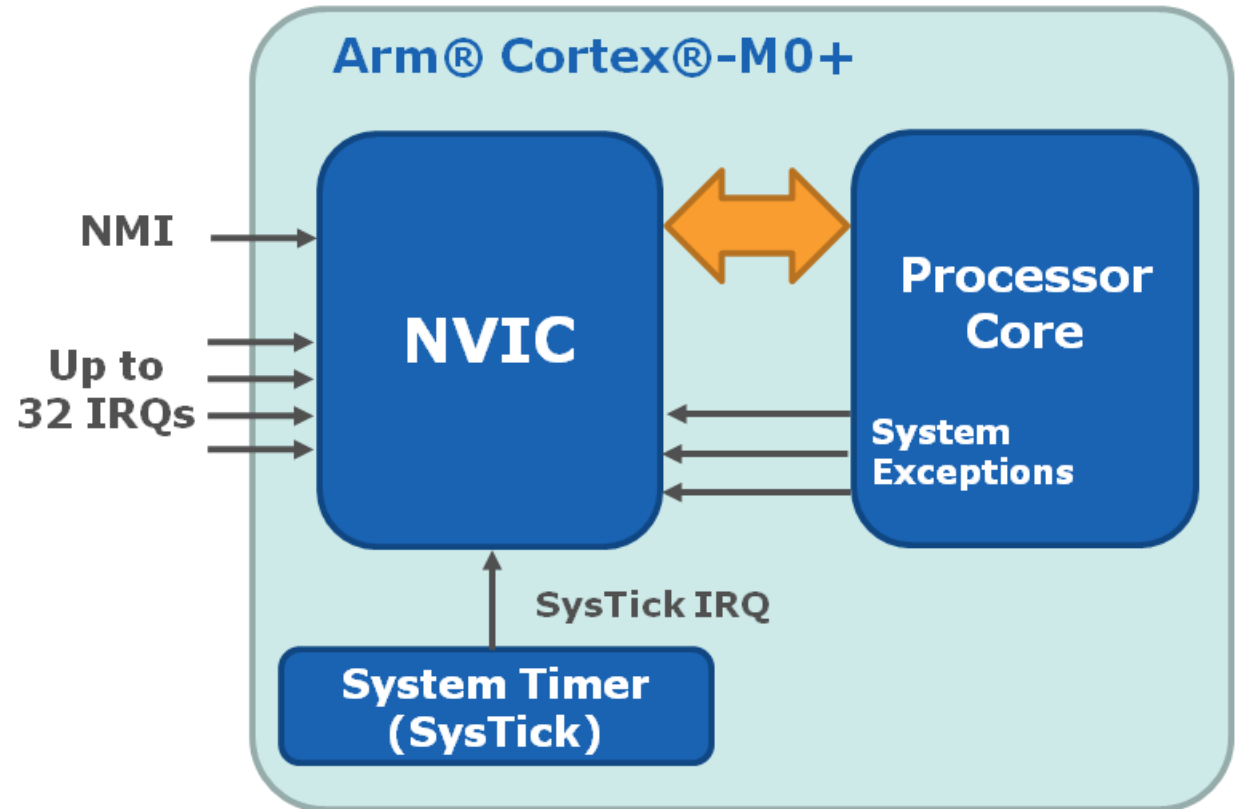


- **Datasheet** – Popis hlavní parametrů MCU, informace pro vývoj z hlediska hardwaru
- **Reference manual** – Podrobný popis konfigurace MCU a popis funkcionality.
- **Application notes** – Výklady jednotlivých funkcionalit a uvedení příkladů
- **Errata** – Zadokumentování známých chyb v implementaci čipu



SysTick

- Obsahuje (každý) ARM Cortex-M
- Jednoduchý dekrementační 24 bit timer
- Taktován frekvencí jádra
- Určen pro implementaci OS
- Možno použít pro obecné časování
- Generuje periodicky exception (výjimku)





System integration module (SIM)

SIM umožňuje konfiguraci MCU.

Hlavní možnosti nastavení:

- Hodinový signál (zdroje, periferie ...)
- Flash a systémová RAM
- Zdroj USB
- Externí signál pro TMP
- UART konfigurace

SIM memory map

| Absolute address (hex) | Register name | Width (in bits) | Access | Reset value | Section/ page |
|------------------------|---|-----------------|--------|-----------------------------|-----------------------------|
| 4004_7000 | System Options Register 1 (SIM_SOPT1) | 32 | R/W | See section | 12.2.1/193 |
| 4004_7004 | SOPT1 Configuration Register (SIM_SOPT1CFG) | 32 | R/W | 0000_0000h | 12.2.2/194 |
| 4004_8004 | System Options Register 2 (SIM_SOPT2) | 32 | R/W | 0000_0000h | 12.2.3/195 |
| 4004_800C | System Options Register 4 (SIM_SOPT4) | 32 | R/W | 0000_0000h | 12.2.4/197 |
| 4004_8010 | System Options Register 5 (SIM_SOPT5) | 32 | R/W | 0000_0000h | 12.2.5/199 |
| 4004_8018 | System Options Register 7 (SIM_SOPT7) | 32 | R/W | 0000_0000h | 12.2.6/200 |
| 4004_8024 | System Device Identification Register (SIM_SDID) | 32 | R | See section | 12.2.7/202 |
| 4004_8034 | System Clock Gating Control Register 4 (SIM_SCGC4) | 32 | R/W | F000_0030h | 12.2.8/204 |
| 4004_8038 | System Clock Gating Control Register 5 (SIM_SCGC5) | 32 | R/W | 0000_0180h | 12.2.9/206 |
| 4004_803C | System Clock Gating Control Register 6 (SIM_SCGC6) | 32 | R/W | 0000_0001h | 12.2.10/207 |
| 4004_8040 | System Clock Gating Control Register 7 (SIM_SCGC7) | 32 | R/W | 0000_0100h | 12.2.11/209 |
| 4004_8044 | System Clock Divider Register 1 (SIM_CLKDIV1) | 32 | R/W | See section | 12.2.12/210 |
| 4004_804C | Flash Configuration Register 1 (SIM_FCFG1) | 32 | R/W | See section | 12.2.13/211 |
| 4004_8050 | Flash Configuration Register 2 (SIM_FCFG2) | 32 | R | See section | 12.2.14/213 |
| 4004_8058 | Unique Identification Register Mid-High (SIM_UIDMH) | 32 | R | See section | 12.2.15/213 |
| 4004_805C | Unique Identification Register Mid Low (SIM_UIDML) | 32 | R | See section | 12.2.16/214 |
| 4004_8060 | Unique Identification Register Low (SIM_UIDL) | 32 | R | See section | 12.2.17/214 |
| 4004_8100 | COP Control Register (SIM_COPC) | 32 | R/W | 0000_000Ch | 12.2.18/215 |
| 4004_8104 | Service COP Register (SIM_SRV COP) | 32 | W | 0000_0000h | 12.2.19/216 |



System Device Identification Register

SIM_SDID slouží k identifikaci typu MCU

Address: 4004_7000h base + 1024h offset = 4004_8024h

| Bit | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|----------|----|----|----|----------|----|----|----|----------|----|----|----|----------|----|----|----|----------|----|----|----|----------|----|---|---|----------|---|----------|---|---|---|---|---|
| R | FAMID | | | | SUBFAMID | | | | SERIESID | | | | SRAMSIZE | | | | REVID | | | | DIEID | | | | 0 | | PINID | | | | | |
| W | [Shaded] | | | | | | | | [Shaded] | | | | | | | | [Shaded] | | | | [Shaded] | | | | [Shaded] | | [Shaded] | | | | | |
| Reset | * | * | * | * | * | * | * | * | 0 | 0 | 0 | 1 | * | * | * | * | * | * | * | * | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | * | * | * | * |

* Notes:

- FAMID field: Device specific value.
- SUBFAMID field: Device specific value.
- SRAMSIZE field: Device specific value.
- REVID field: Device specific value.
- PINID field: Device specific value.

System Clock Gating Control Register

SIM_SCGC4 zapíná hodinový signál do periférií

Address: 4004_7000h base + 1034h offset = 4004_8034h

| Bit | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|-------|----------|----|----------|-------|----------|-------|----------|----|------|------|----------|----|----------|--------|----------|----|
| R | 1 | | | | 0 | | | | | | 0 | | | USBOTG | 0 | |
| W | [Shaded] | | | | [Shaded] | | | | SPI1 | SPI0 | [Shaded] | | CMP | USBOTG | [Shaded] | |
| Reset | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| Bit | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| R | 0 | | 0 | UART2 | UART1 | UART0 | 0 | | | | 1 | | 0 | | | |
| W | [Shaded] | | [Shaded] | UART2 | UART1 | UART0 | [Shaded] | | I2C1 | I2C0 | [Shaded] | | [Shaded] | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |

System Clock Gating Control Register

SIM_SCGC5 zapíná hodinový signál do periférií

Address: 4004_7000h base + 1038h offset = 4004_8038h

| Bit | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|-------|----------|----|-------|-------|-------|-------|-------|----------|----|----------|-----|----------|----|----|----------|-------|
| R | 0 | | | | | | | | | | | | | 0 | 0 | |
| W | [Shaded] | | | | | | | | | | | | | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| Bit | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| R | 0 | | PORTE | PORTD | PORTC | PORTB | PORTA | 1 | | 0 | TSI | 0 | | | 0 | LPTMR |
| W | [Shaded] | | PORTE | PORTD | PORTC | PORTB | PORTA | [Shaded] | | [Shaded] | TSI | [Shaded] | | | [Shaded] | LPTMR |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

System Clock Gating Control Register

SIM_SCGC6 zapíná hodinový signál do periférií

Address: 4004_7000h base + 103Ch offset = 4004_803Ch

| Bit | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | |
|-------|------|----|-----|----|------|------|------|------|-----|----|----|----|----|----|----|--------|-----|
| R | | 0 | | 0 | | | | | | 0 | | | | | | | |
| W | DAC0 | | RTC | | ADC0 | TPM2 | TPM1 | TPM0 | PIT | | | | | | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| Bit | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| R | 0 | | | | | | | | 0 | | | | | | | | |
| W | | | | | | | | | | | | | | | | DMAMUX | FTF |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

System Clock Gating Control Register

SIM_SCGC7 zapíná hodinový signál do periférií

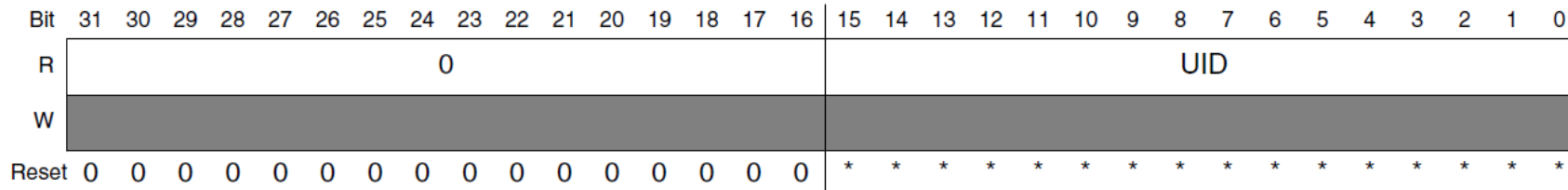
Address: 4004_7000h base + 1040h offset = 4004_8040h

| Bit | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|-------|----|----|----|----|----|----|----|-----|----|----|----|----|----|----|----|----|
| R | 0 | | | | | | | | | | | | | | | |
| W | | | | | | | | | | | | | | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| Bit | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| R | 0 | | | | | | | DMA | 0 | | | | | | | |
| W | | | | | | | | | | | | | | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

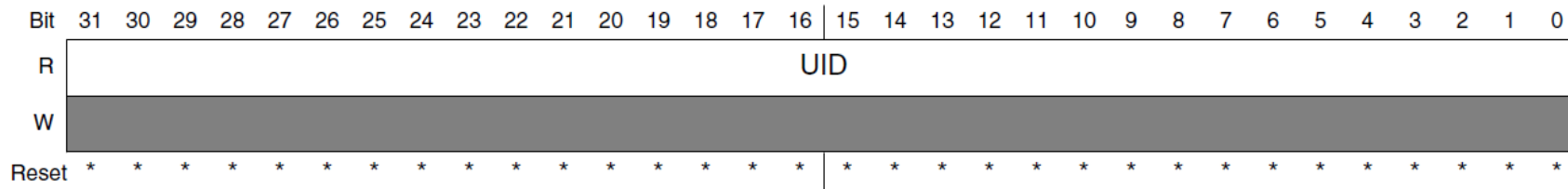
Unique Identification Register

SIM_UIDMH, SIM_UIDML, SIM_UIDL -> 80 bit

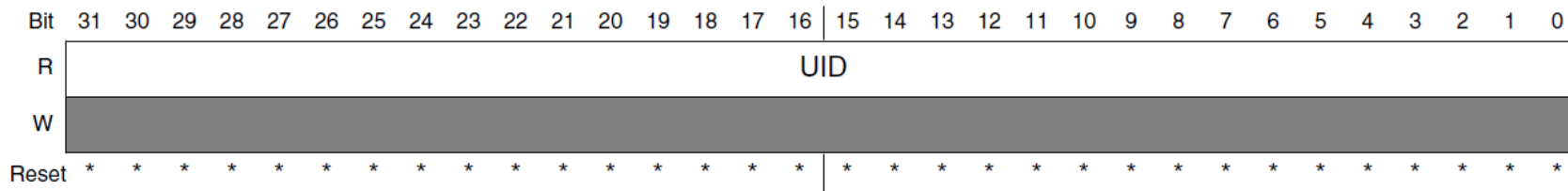
Address: 4004_7000h base + 1058h offset = 4004_8058h



Address: 4004_7000h base + 105Ch offset = 4004_805Ch



Address: 4004_7000h base + 1060h offset = 4004_8060h





WatchDog Timer - COP

Computer Operating Properly (COP) Watchdog

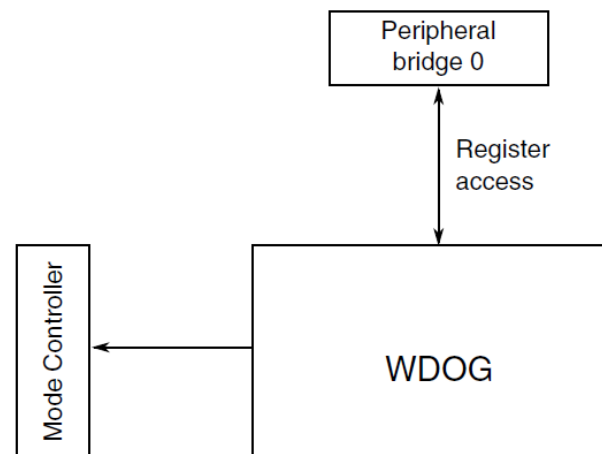
Dva možné vstupy:

- Bus clock
- 1kHz

Vyvolává reset při pádu aplikace

Musí se resetovat periodicky

Po startu je vždy zapnut





WDT windowed mode

- Okenní mód probíhá při zvolení frekvence sběrnice.
- V okenním módu musí přijít signál resetu WDT v posledních 25% maximálního běhu WDT.
- V opačném případě předčasný reset WDT způsobí restart celého MCU.
- Implementace je vhodná pro deterministické chování programu.

| Control Bits | | Clock Source | COP Window Opens (COPCTRL[COPW]=1) | COP Overflow Count |
|------------------|---------------|--------------|---------------------------------------|-------------------------------|
| COPCTRL[COPCLKS] | COPCTRL[COPT] | | | |
| N/A | 00 | N/A | N/A | COP is disabled |
| 0 | 01 | 1 kHz | N/A | 2 ⁵ cycles (32 ms) |

| Control Bits | | Clock Source | COP Window Opens (COPCTRL[COPW]=1) | COP Overflow Count |
|------------------|---------------|--------------|---------------------------------------|----------------------------------|
| COPCTRL[COPCLKS] | COPCTRL[COPT] | | | |
| 0 | 10 | 1 kHz | N/A | 2 ⁸ cycles (256 ms) |
| 0 | 11 | 1 kHz | N/A | 2 ¹⁰ cycles (1024 ms) |
| 1 | 01 | Bus | 6,144 cycles | 2 ¹³ cycles |
| 1 | 10 | Bus | 49,152 cycles | 2 ¹⁶ cycles |
| 1 | 11 | Bus | 196,608 cycles | 2 ¹⁸ cycles |



Děkuji za pozornost



Vstupy a výstupy mikrokontroléru

Přednáška 3



Náplň přednášky 3

Periferie:

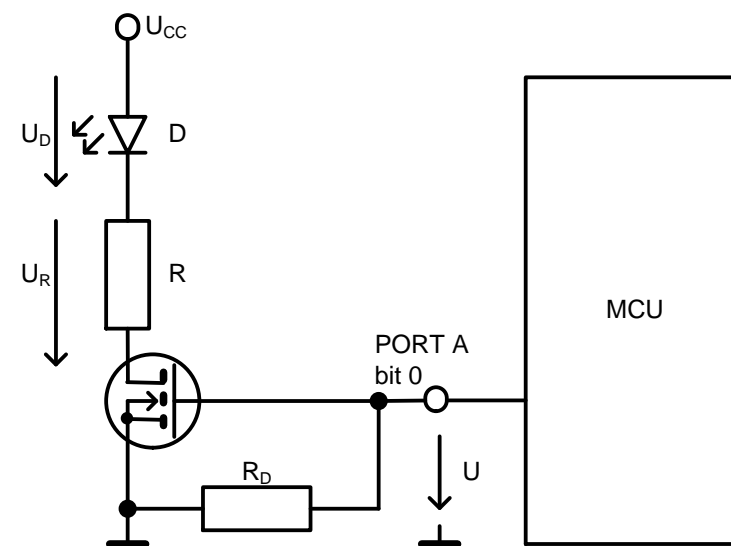
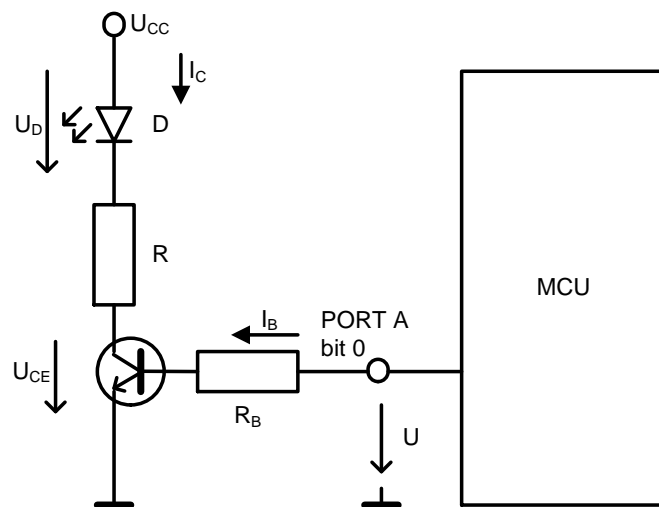
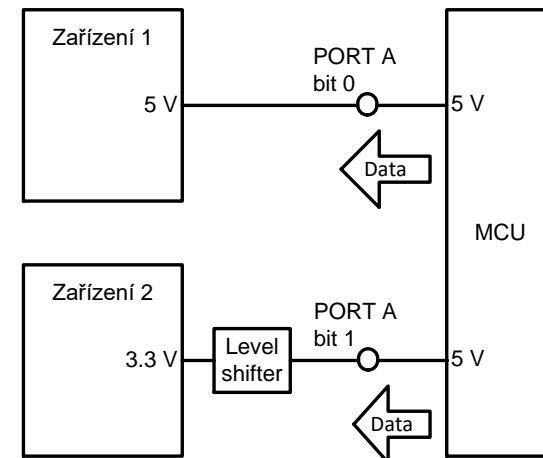
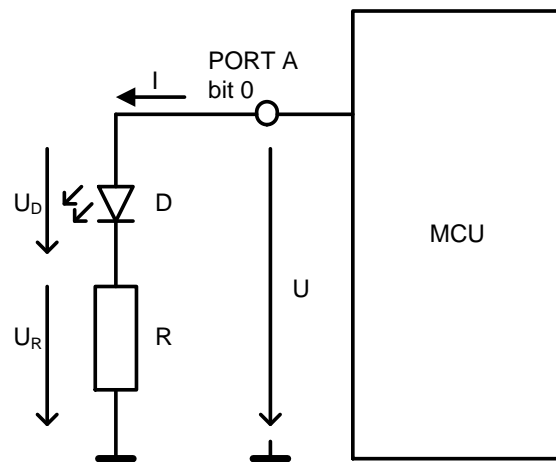
- PORT
- GPIO
- FGPIO



Port control

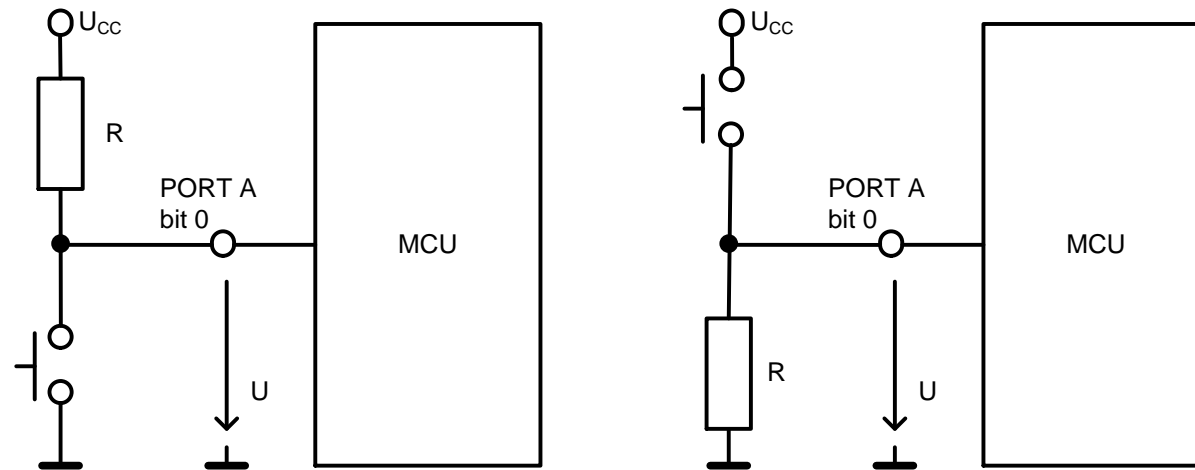
- Periferie port umožňuje konfiguraci pinů MCU a podporu externího přerušení.
- Většina funkcí může být konfigurováno nezávisle a výsledný efekt závisí pouze na multiplexaci.
- Módy portu:
 - Run mode – PORT běží v normálním režimu
 - Wait mode – PORT běží v normální režimu, ale může být přepnut do low-power režimu.
 - Stop mode – PORT může být přepnut do low-power režimu pomocí asynchronního wake-up signálu.

Výstupní režim



Vstupní režim: Pull-up, Pull-down

- Pull up rezistor. Na každém logickém vstupu musí být definovaná log. úroveň. V případě nezapojeného vstupu nebo vstupu, ke kterému je připojena vysoká impedance, může dojít k neočekávaným stavům.
- Pull up rezistor slouží k udržení logické hodnoty „1“



Pin Control Register n (PORTx_PCRn)

| | |
|---------------|--|
| 24 ISF | <p>Interrupt Status Flag</p> <p>This bit is read only for pins that do not support interrupt generation.</p> <p>The pin interrupt configuration is valid in all digital pin muxing modes.</p> <p>0 Configured interrupt is not detected. 1 Configured interrupt is detected. If the pin is configured to generate a DMA request, then the corresponding flag will be cleared automatically at the completion of the requested DMA transfer. Otherwise, the flag remains set until a logic one is written to the flag. If the pin is configured for a level sensitive interrupt and the pin remains asserted, then the flag is set again immediately after it is cleared.</p> |
| 19–16 IRQC | <p>Interrupt Configuration</p> <p>This field is read only for pins that do not support interrupt generation.</p> <p>The pin interrupt configuration is valid in all digital pin muxing modes. The corresponding pin is configured to generate interrupt/DMA request as follows:</p> <p>0000 Interrupt/DMA request disabled. 0001 DMA request on rising edge. 0010 DMA request on falling edge. 0011 DMA request on either edge. 1000 Interrupt when logic zero. 1001 Interrupt on rising edge. 1010 Interrupt on falling edge. 1011 Interrupt on either edge. 1100 Interrupt when logic one. Others Reserved.</p> |
| 2 SRE | <p>Slew Rate Enable</p> <p>This bit is read only for pins that do not support a configurable slew rate.</p> <p>Slew rate configuration is valid in all digital pin muxing modes.</p> <p>0 Fast slew rate is configured on the corresponding pin, if the pin is configured as a digital output. 1 Slow slew rate is configured on the corresponding pin, if the pin is configured as a digital output.</p> |
| 1 PE | <p>Pull Enable</p> <p>This bit is read only for pins that do not support a configurable pull resistor. Refer to the Chapter of Signal Multiplexing and Signal Descriptions for the pins that support a configurable pull resistor.</p> <p>Pull configuration is valid in all digital pin muxing modes.</p> <p>0 Internal pullup or pulldown resistor is not enabled on the corresponding pin. 1 Internal pullup or pulldown resistor is enabled on the corresponding pin, if the pin is configured as a digital input.</p> |
| 0 PS | <p>Pull Select</p> <p>This bit is read only for pins that do not support a configurable pull resistor direction.</p> <p>Pull configuration is valid in all digital pin muxing modes.</p> <p>0 Internal pulldown resistor is enabled on the corresponding pin, if the corresponding Port Pull Enable field is set. 1 Internal pullup resistor is enabled on the corresponding pin, if the corresponding Port Pull Enable field is set.</p> |

| | |
|-----------------|--|
| Pin Mux Control | <p>Not all pins support all pin muxing slots. Unimplemented pin muxing slots are reserved and may result in configuring the pin for a different pin muxing slot.</p> <p>The corresponding pin is configured in the following pin muxing slot as follows:</p> <p>000 Pin disabled (analog). 001 Alternative 1 (GPIO). 010 Alternative 2 (chip-specific). 011 Alternative 3 (chip-specific). 100 Alternative 4 (chip-specific). 101 Alternative 5 (chip-specific). 110 Alternative 6 (chip-specific). 111 Alternative 7 (chip-specific).</p> |
| 6 DSE | <p>Drive Strength Enable</p> <p>This bit is read only for pins that do not support a configurable drive strength.</p> <p>Drive strength configuration is valid in all digital pin muxing modes.</p> <p>0 Low drive strength is configured on the corresponding pin, if pin is configured as a digital output. 1 High drive strength is configured on the corresponding pin, if pin is configured as a digital output.</p> |
| 4 PFE | <p>Passive Filter Enable</p> <p>This bit is read only for pins that do not support a configurable passive input filter.</p> <p>Passive filter configuration is valid in all digital pin muxing modes.</p> <p>0 Passive input filter is disabled on the corresponding pin. 1 Passive input filter is enabled on the corresponding pin, if the pin is configured as a digital input. Refer to the device data sheet for filter characteristics.</p> |

Address: Base address + 0h offset + (4d × i), where i=0d to 31d

| | | | | | | | | | | | | | | | | | |
|-------|-----|----|----|----|-----|----|----|----|-----|-----|----|-----|----|------|----|----|--|
| Bit | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | |
| R | 0 | | | | | | | | ISF | 0 | | | | IRQC | | | |
| W | w1c | | | | | | | | | | | | | | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| Bit | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| R | 0 | | | | MUX | | | | 0 | DSE | 0 | PFE | 0 | SRE | PE | PS | |
| W | | | | | | | | | | | | | | | | | |
| Reset | 0 | 0 | 0 | 0 | x* | x* | x* | 0 | x* | 0 | x* | 0 | x* | x* | x* | | |



PIN Configuration

Pinout

| 80 LQFP | 64 LQFP | 48 QFN | 32 QFN | Pin Name | Default | ALT0 | ALT1 | ALT2 | ALT3 | ALT4 | ALT5 | ALT6 | ALT7 |
|------------|------------|-----------|-----------|----------|-------------------------------------|-------------------------------------|-------|-----------|----------|------------|-----------|------|------|
| 3 | — | — | — | PTE2 | DISABLED | | PTE2 | SPI1_SCK | | | | | |
| 4 | — | — | — | PTE3 | DISABLED | | PTE3 | SPI1_MISO | | | SPI1_MOSI | | |
| 5 | — | — | — | PTE4 | DISABLED | | PTE4 | SPI1_PCS0 | | | | | |
| 6 | — | — | — | PTE5 | DISABLED | | PTE5 | | | | | | |
| 7 | 3 | 1 | — | VDD | VDD | VDD | | | | | | | |
| 8 | 4 | 2 | 2 | VSS | VSS | VSS | | | | | | | |
| 9 | 5 | 3 | 3 | USB0_DP | USB0_DP | USB0_DP | | | | | | | |
| 10 | 6 | 4 | 4 | USB0_DM | USB0_DM | USB0_DM | | | | | | | |
| 11 | 7 | 5 | 5 | VOUT33 | VOUT33 | VOUT33 | | | | | | | |
| 12 | 8 | 6 | 6 | VREGIN | VREGIN | VREGIN | | | | | | | |
| 13 | 9 | 7 | — | PTE20 | ADC0_DP0/ ADC0_SE0 | ADC0_DP0/ ADC0_SE0 | PTE20 | | TPM1_CH0 | UART0_TX | | | |
| 14 | 10 | 8 | — | PTE21 | ADC0_DM0/ ADC0_SE4a | ADC0_DM0/ ADC0_SE4a | PTE21 | | TPM1_CH1 | UART0_RX | | | |
| 15 | 11 | — | — | PTE22 | ADC0_DP3/ ADC0_SE3 | ADC0_DP3/ ADC0_SE3 | PTE22 | | TPM2_CH0 | UART2_TX | | | |
| 16 | 12 | — | — | PTE23 | ADC0_DM3/ ADC0_SE7a | ADC0_DM3/ ADC0_SE7a | PTE23 | | TPM2_CH1 | UART2_RX | | | |
| 17 | 13 | 9 | 7 | VDDA | VDDA | VDDA | | | | | | | |
| 18 | 14 | 10 | — | VREFH | VREFH | VREFH | | | | | | | |
| 19 | 15 | 11 | — | VREFL | VREFL | VREFL | | | | | | | |
| 20 | 16 | 12 | 8 | VSSA | VSSA | VSSA | | | | | | | |
| 21 | 17 | 13 | — | PTE29 | CMP0_IN5/ ADC0_SE4b | CMP0_IN5/ ADC0_SE4b | PTE29 | | TPM0_CH2 | TPM_CLKIN0 | | | |
| 22 | 18 | 14 | 9 | PTE30 | DAC0_OUT/ ADC0_SE23/ CMP0_IN4 | DAC0_OUT/ ADC0_SE23/ CMP0_IN4 | PTE30 | | TPM0_CH3 | TPM_CLKIN1 | | | |



General-Purpose Input/Output (GPIO)

- Periferie připojená na AHB bus.
- 32 bit konfigurační registry

| Absolute address (hex) | Register name | Width (in bits) | Access | Reset value | Section/ page |
|------------------------|---|-----------------|-----------------------|-------------|----------------------------|
| 400F_F100 | Port Data Output Register (GPIOE_PDOR) | 32 | R/W | 0000_0000h | 41.2.1/775 |
| 400F_F104 | Port Set Output Register (GPIOE_PSOR) | 32 | W (always reads 0) | 0000_0000h | 41.2.2/776 |
| 400F_F108 | Port Clear Output Register (GPIOE_PCOR) | 32 | W (always reads 0) | 0000_0000h | 41.2.3/776 |
| 400F_F10C | Port Toggle Output Register (GPIOE_PTOR) | 32 | W (always reads 0) | 0000_0000h | 41.2.4/777 |
| 400F_F110 | Port Data Input Register (GPIOE_PDIR) | 32 | R | 0000_0000h | 41.2.5/777 |
| 400F_F114 | Port Data Direction Register (GPIOE_PDDR) | 32 | R/W | 0000_0000h | 41.2.6/778 |



Fast General-Purpose Input/Output

- Periferie je připojena přímo na ARM Cortex-M
- Jedná se o stejné registry na jiných adresách

| Absolute address (hex) | Register name | Width (in bits) | Access | Reset value | Section/ page |
|------------------------|--|-----------------|-----------------------|-------------|----------------------------|
| F80F_F100 | Port Data Output Register (FGPIOE_PDOR) | 32 | R/W | 0000_0000h | 41.3.1/780 |
| F80F_F104 | Port Set Output Register (FGPIOE_PSOR) | 32 | W (always reads 0) | 0000_0000h | 41.3.2/781 |
| F80F_F108 | Port Clear Output Register (FGPIOE_PCOR) | 32 | W (always reads 0) | 0000_0000h | 41.3.3/781 |
| F80F_F10C | Port Toggle Output Register (FGPIOE_PTOR) | 32 | W (always reads 0) | 0000_0000h | 41.3.4/782 |
| F80F_F110 | Port Data Input Register (FGPIOE_PDIR) | 32 | R | 0000_0000h | 41.3.5/782 |
| F80F_F114 | Port Data Direction Register (FGPIOE_PDDR) | 32 | R/W | 0000_0000h | 41.3.6/783 |



Děkuji za pozornost



Analogové veličiny a A/D převodníky

Přednáška 4



Náplň přednášky 4

- Analogový a digitální signál
- Digitalizační proces
- Vzorkování, kvantování, kódování
- Typy kvantizace
- A/D převodníky v MCU
- A/D převodník v KL25Z



Analogový a digitální signál

- **Analogový signál** je dán spojitou (nebo po částech spojitou) funkcí spojitého času.
- **Diskrétní signál** je dán funkcí definovanou pouze v diskrétních časových okamžicích (a tvoří tak posloupnosti funkčních hodnot).
- Analogové signály můžeme rozdělovat podle **média**, kterým jsou přenášeny.
 - akustické signály,
 - elektrické signály,
 - optické signály ...



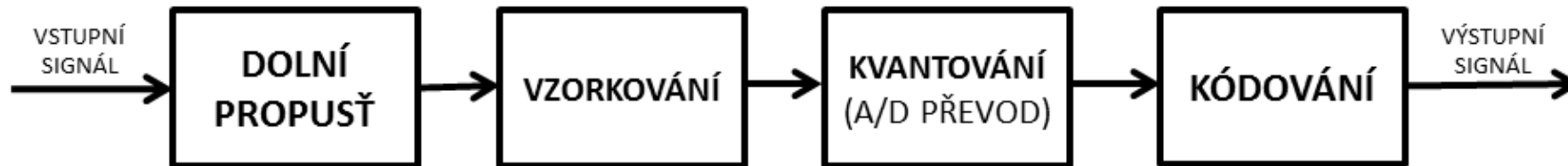
Digitalizační proces

- **Digitalizace signálu** je obecně převod analogového signálu do nespojitě posloupnosti digitální hodnot.
- Digitalizací vždy dochází ke **ztrátě informace**.
- Výhody digitalizace:
 - Odolnost vůči šumu
 - Bezztrátové uchování a reprodukce
 - Jednoduchý přenos
 - Univerzální úložné médium
- Problémy digitalizace:
 - Trvanlivost datových nosičů
 - Rychlé změny datových formátů



Digitalizační řetězec

- **Digitalizační proces** se skládá s několika kroků:
 - Vzorkování – stanovení vzorků v časové oblasti
 - Kvantování – samotný A/D převod
 - Kódování – zakódování hodnoty do binárního kódu





Vzorkovací teorém

- **Vzorkovací teorém** má mnoho názvů:
 - Shannonův teorém
 - Nyquistův teorém
 - Kotělnikovův teorém
 - atd.

- Přesné znění **teorému**:

„Přesná rekonstrukce spojitého, frekvenčně omezeného, signálu z jeho vzorků je možná tehdy, pokud byl vzorkován frekvencí alespoň dvakrát vyšší, než je maximální harmonická frekvence rekonstruovaného signálu.“



Vzorkovací teorém

- **Praktické důsledky** teorému:
 - „Přesná rekonstrukce“ – jedná se o přesnou rekonstrukci sinových a kosinových složek.
 - „Frekvenčně omezený signál“ – pro přesnou rekonstrukci musí být zcela zbaven vyšších harmonických frekvencí.
 - „Frekvence alespoň 2x vyšší“ – pouze 2x vyšší frekvence nezaručuje přesnou rekonstrukci.

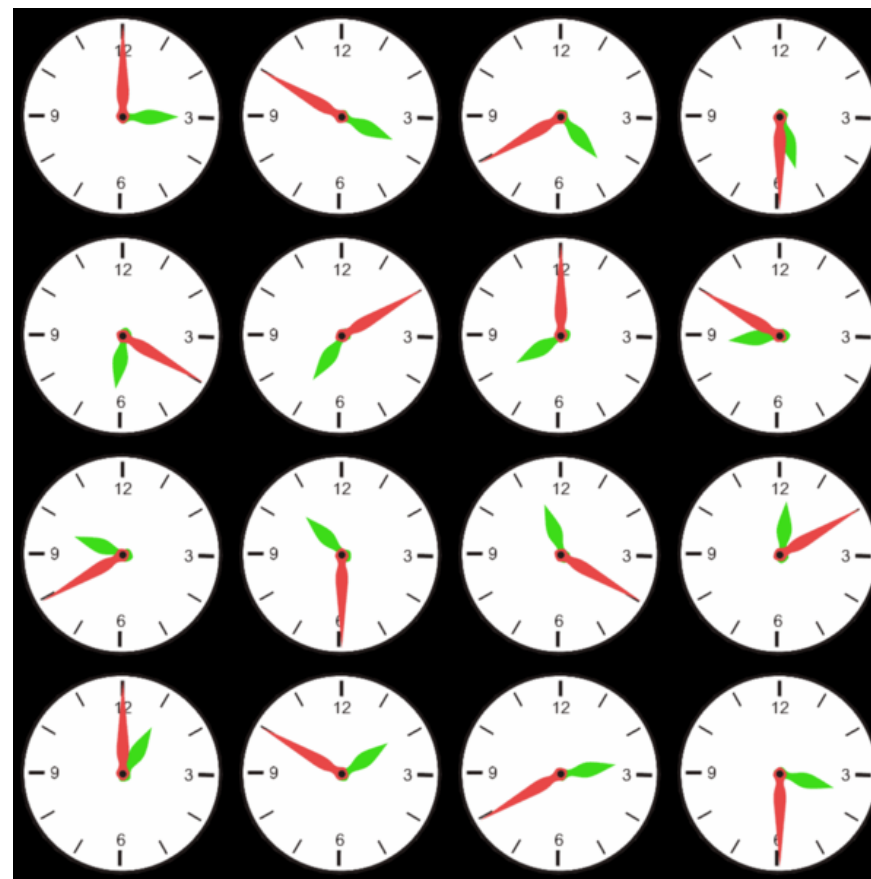
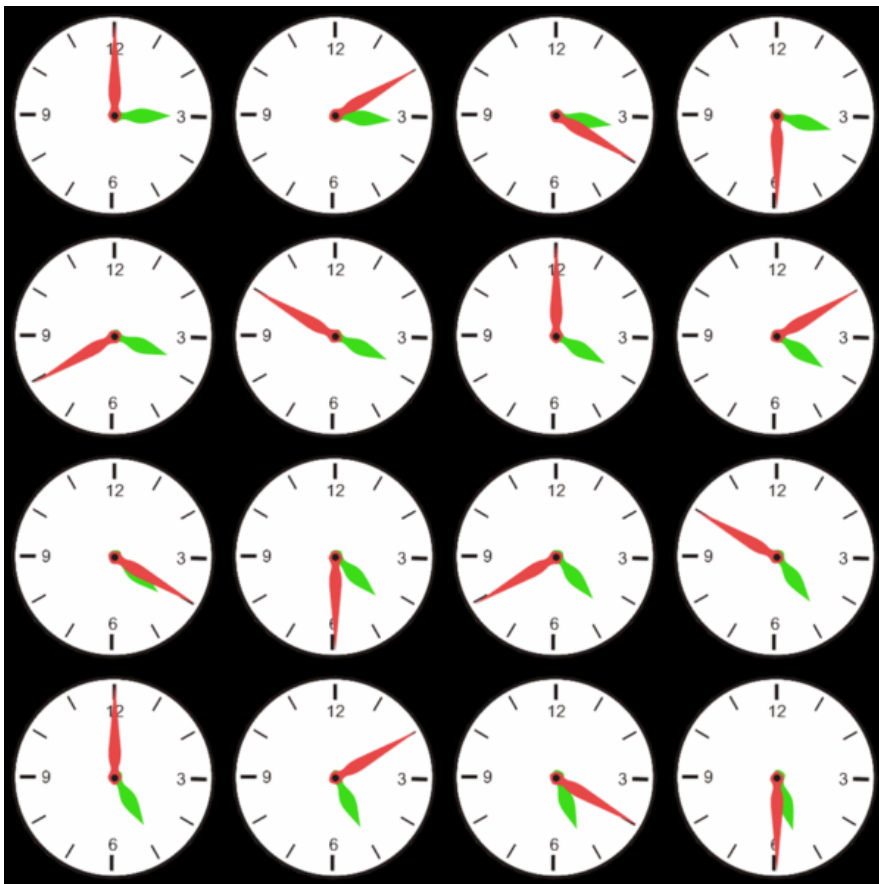


Aliasingový jev

- Pokud nedodržíme vzorkovací teorém, tak vzniká **aliasingový jev**.
- Tento jev je **nežádoucí** při digitalizaci.
- Dochází zde k překryvu frekvenčních spekter, původní informace je **zfalšována** (ztracena a nahrazena jinou).
- Aliasingový jev se týká **všech signálů**:
 - elektrických,
 - mechanických,
 - optických ...

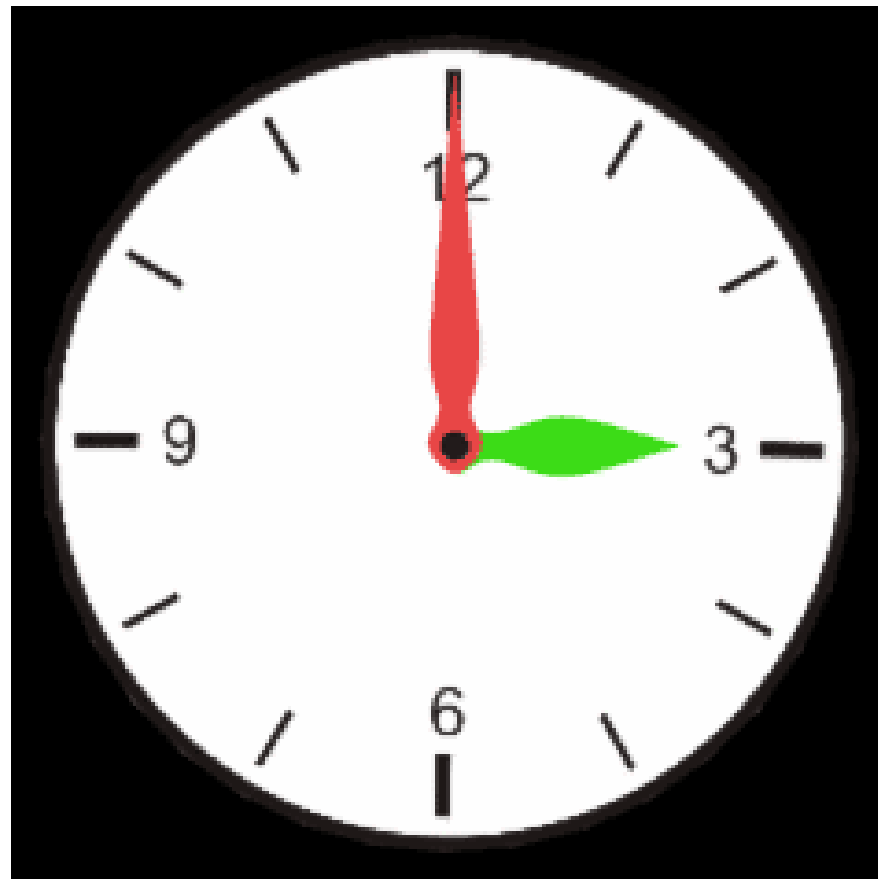
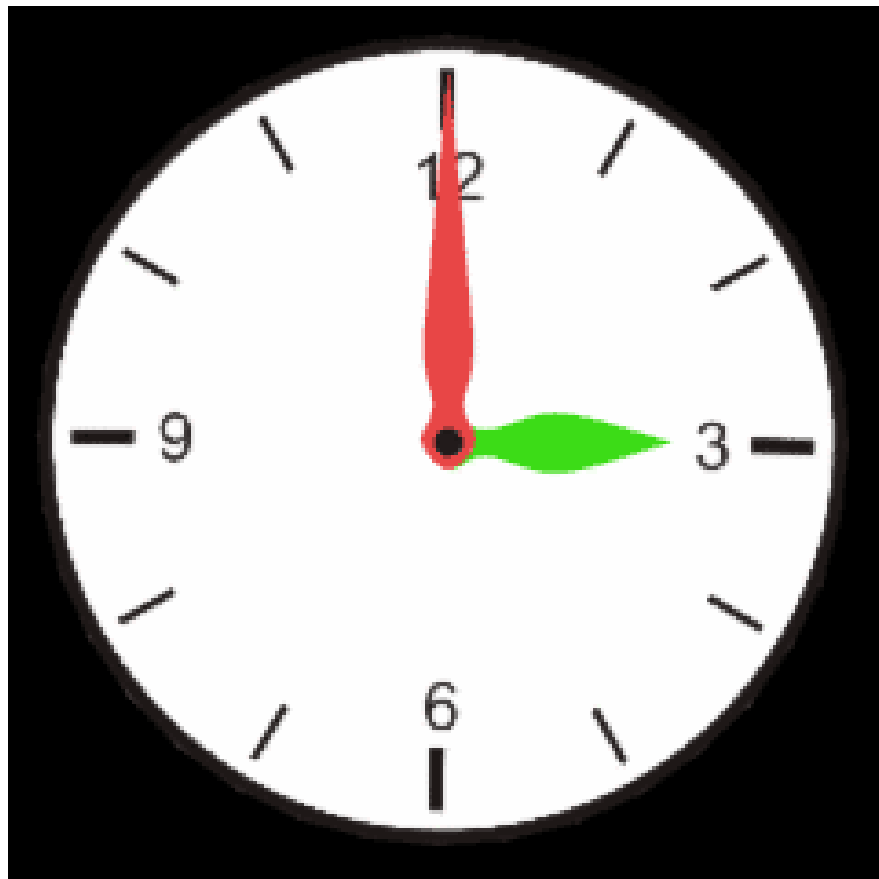


Vzorkování 10 vs 50 minut





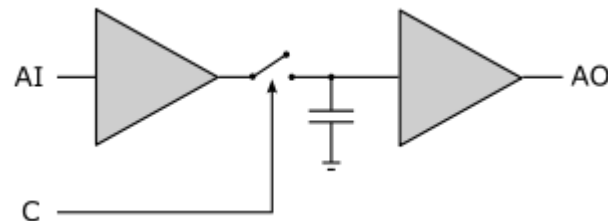
Výsledek po vzorkování





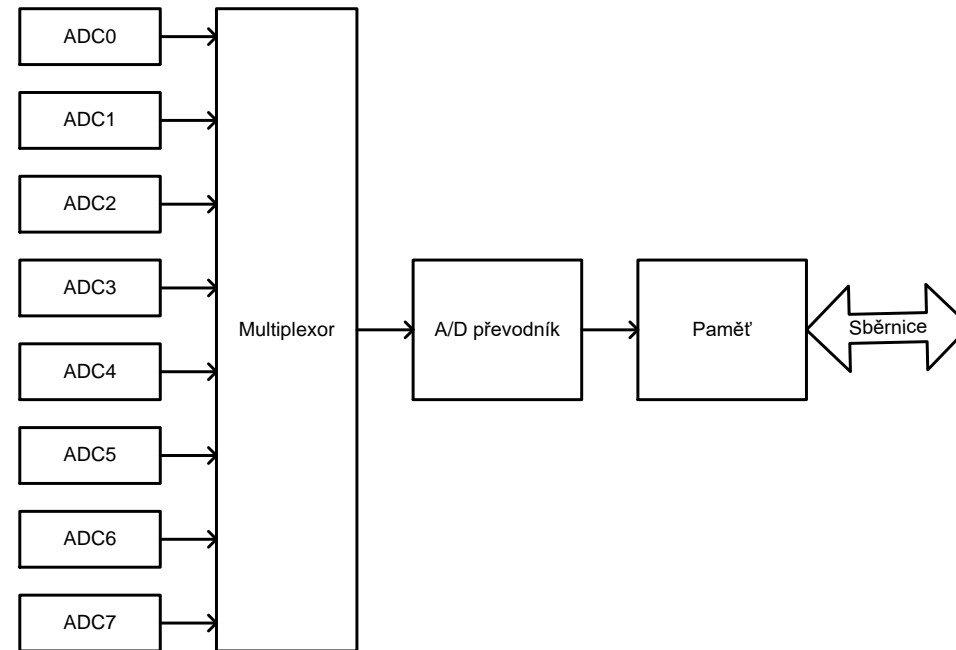
Principy vzorkování

- Vzorkování signálu je proces v **časové oblasti**.
- Vzorkování se provede tak, že rozdělíme vodorovnou osu na **ekvidistantní úseky**, kde odebereme vzorky.
- Stejnoměrné vzorkování je **zásadní** a je nutno ho zajistit pomocí hardwaru nebo softwaru.
- V praxi je toto realizováno pomocí vzorkovacího obvodu **Sample and Hold**.



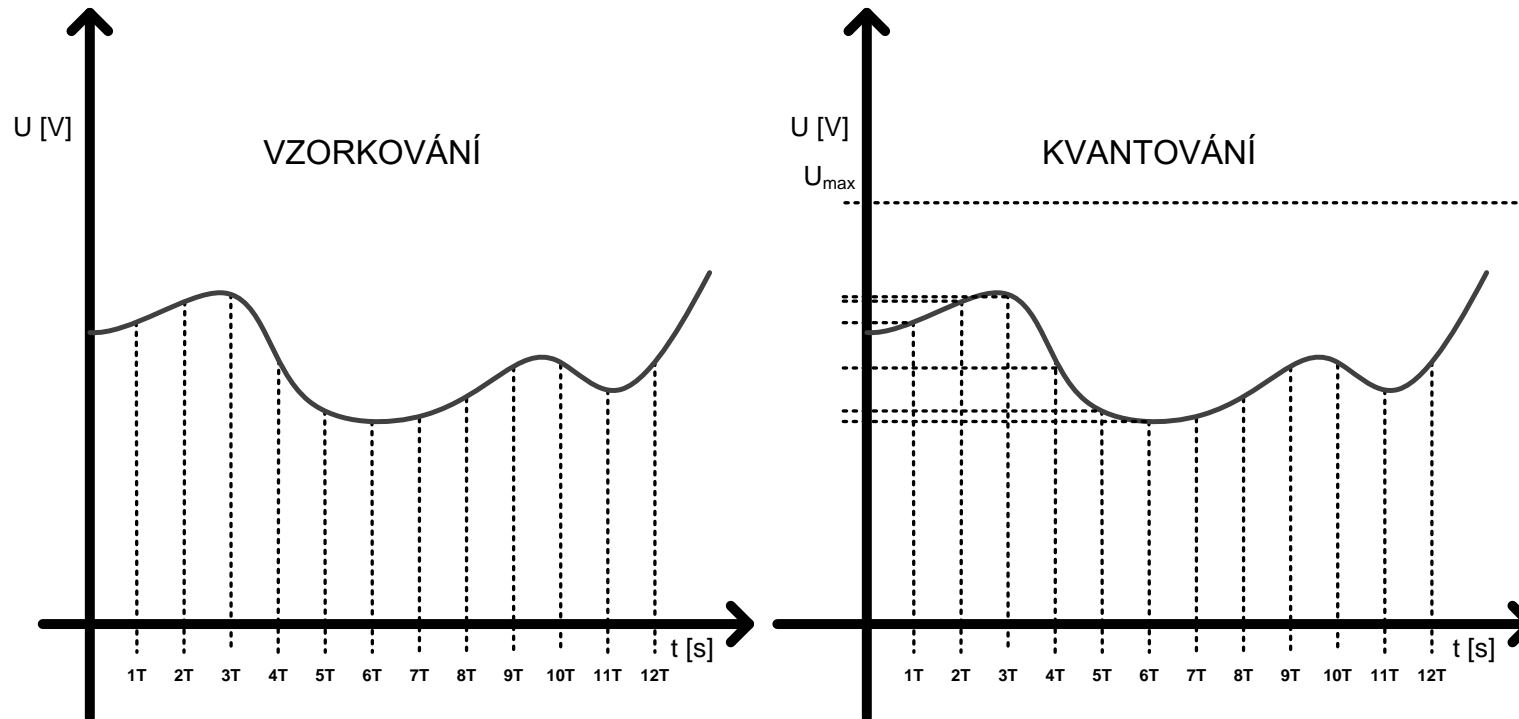
Multiplexace vstupu

- V MCU bývají vstupy A/D převodníku častokrát **multiplexovány**.



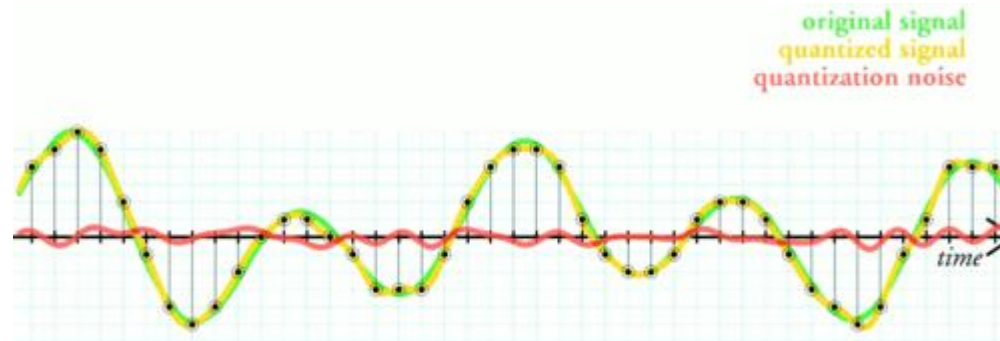
Kvantování

- Kvantování je diskretizace oboru hodnot signálu. Vždy je to proces **ztrátový a nevratný**.



Parametry kvantování

- **Rozlišení** – počet kvantizačních úrovní A/D převodníku uváděné v bitech
- **Kvantizační chyba** - +/- polovina kvantizační úrovně
- **Kvantizační šum** – časová posloupnost kvantizačních chyb





Napětové reference

- Celková přesnost A/D převodu závisí na **stabilitě** referenčního napětí.
- Pomocí referencí L a H jsem schopni zúžit pásmo citlivosti A/D převodníku a zvýšit přesnost.

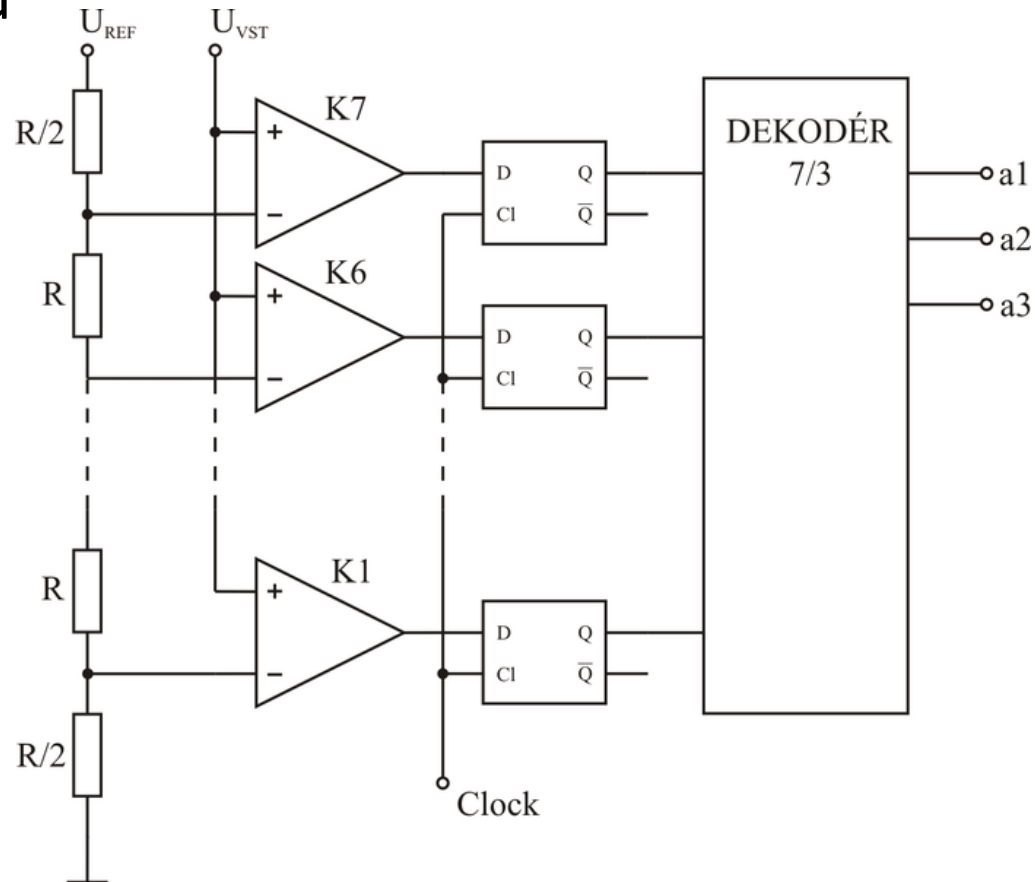


Kvantovací metody

- A/D převodníky se třídí dle **metody kvantizace**:
 - Komparační (paralelní)
 - Aproximační (s postupnou aproximací)
 - Integrační
 - Sigma Delta

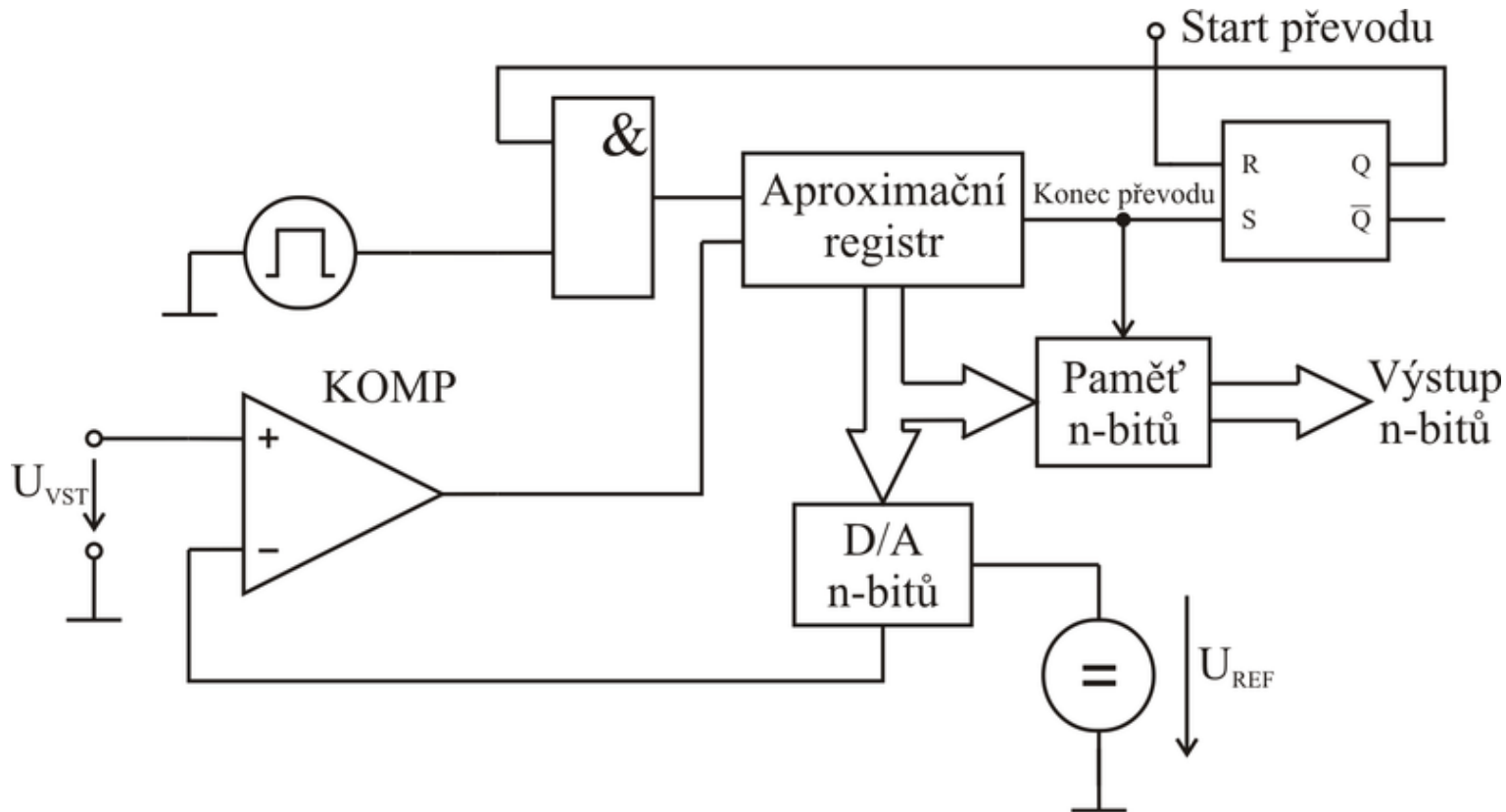
Komparační (paralelní) A/D převodník

- Paralelní A/D převodník je **nejrychlejším typem** A/D převodníku, protože převod probíhá v jednom časovém okamžiku



Aproximační A/D převodník

- Nejlevnější a nejčastěji používaný je aproximační A/D převodník.





Úskalí A/D převodníků v MCU

- Integrované A/D převodníky v MCU jsou levné, ale mají řadu úskalí:
 - Nekvadratické vzorkování
 - Časový posun u multiplexace
 - Rušení od procesorového jádra
 - Nespolehlivá reference

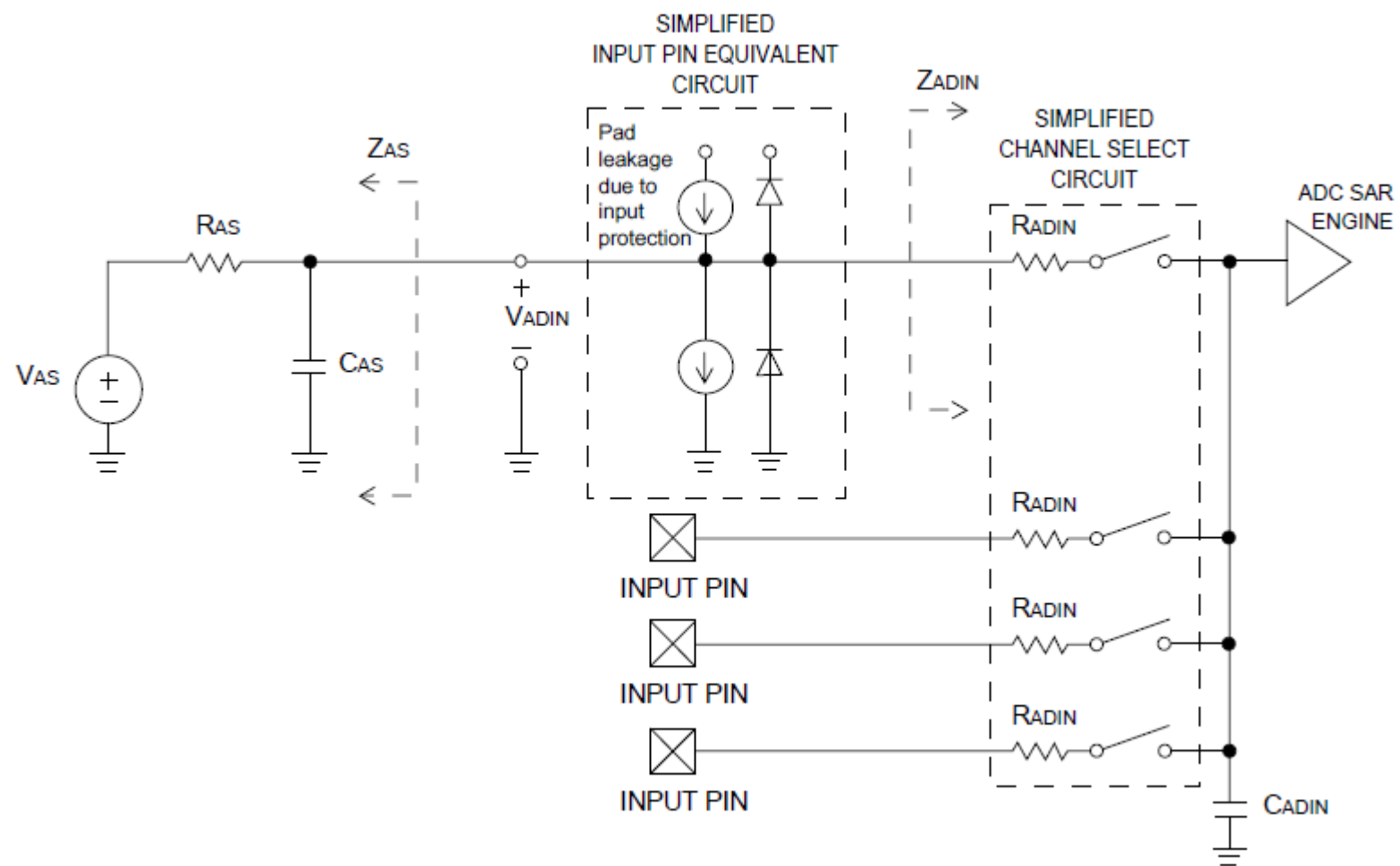


A/D převodník KL25Z

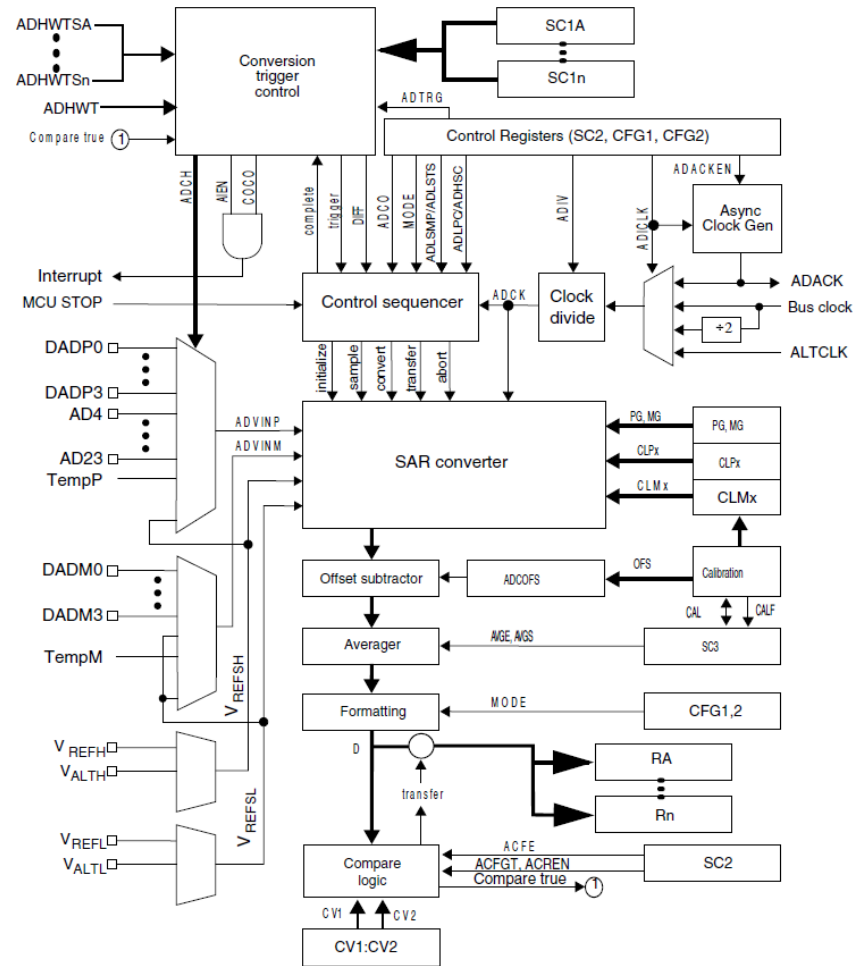
- Vlastnosti **A/D převodníku** KL25Z
 - Kvantuje postupnou aproximací (SAR)
 - Disponuje až 16 bitovým rozlišením
 - Má až 4 diferenční páry a 24 single-ended vstupů
 - Diferenční módy – 16 bit, 13 bit, 11 bit a 9 bit
 - Single-ended módy – 16 bit, 12 bit, 10 bit a 8 bit
 - Výstupní formát diferenčiál – dvojkový doplněk 16 bit sing
 - Výstupní formát single-ended – napravo zarovnaný unsigned
 - Spouštěná nebo volně běžící konverze
 - Hardware nebo software trigger ve spouštěném módu
 - Konfigurovatelná vzorkovací frekvence nebo rychlost převodu



Schéma vstupu A/D

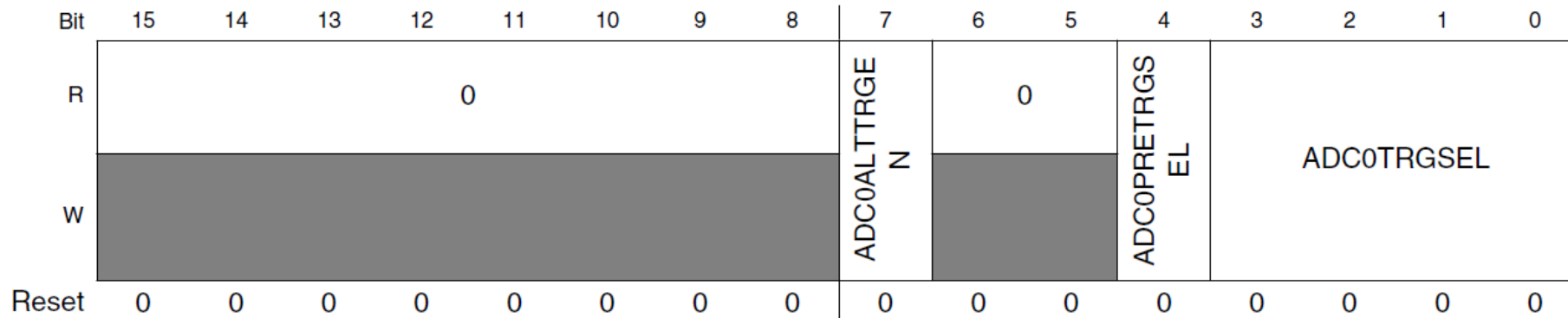


Celkové schéma A/D převodníku



Konfigurace v SIM

- System Options Register 7 (SIM_SOPT7)

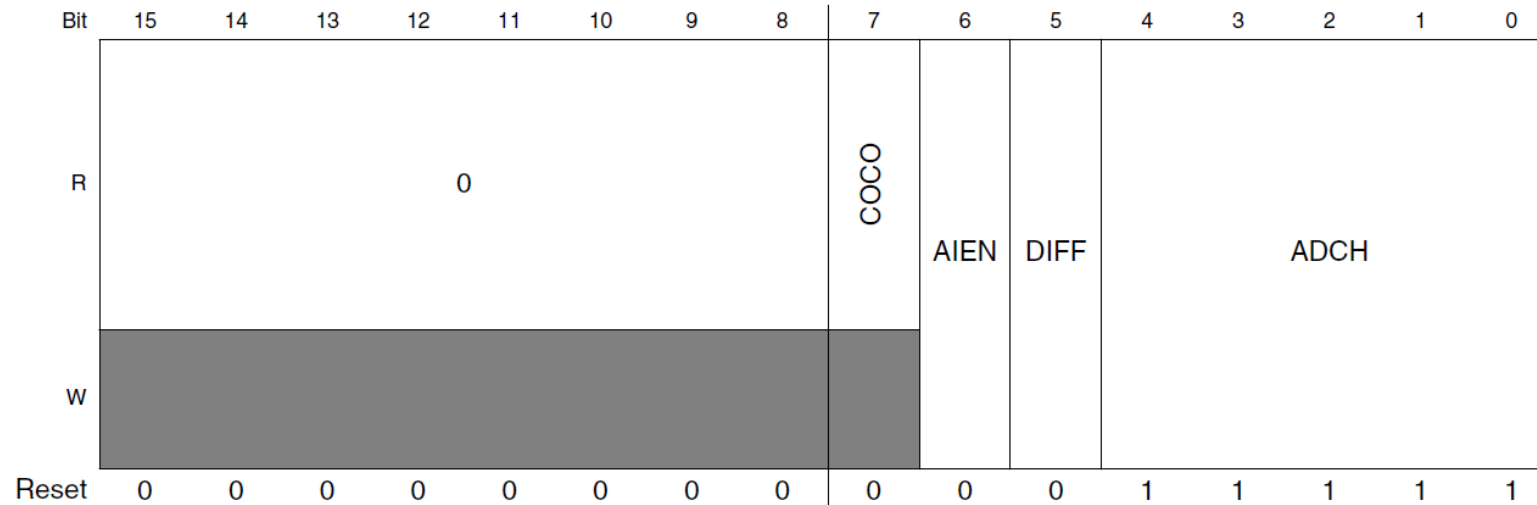


- ADC0ALTTRGEN – ADC0 alternate trigger enable (TPM or alternate)
- ADC0PRETRGSEL – ADC0 pretrigger select
- ADC0TRGSEL – ADC0 trigger select (CMP, EXT, PIT, TPM, RTC ...)



Konfigurační registry

- ADC Status and Control Registers 1 (ADCx_SC1n)

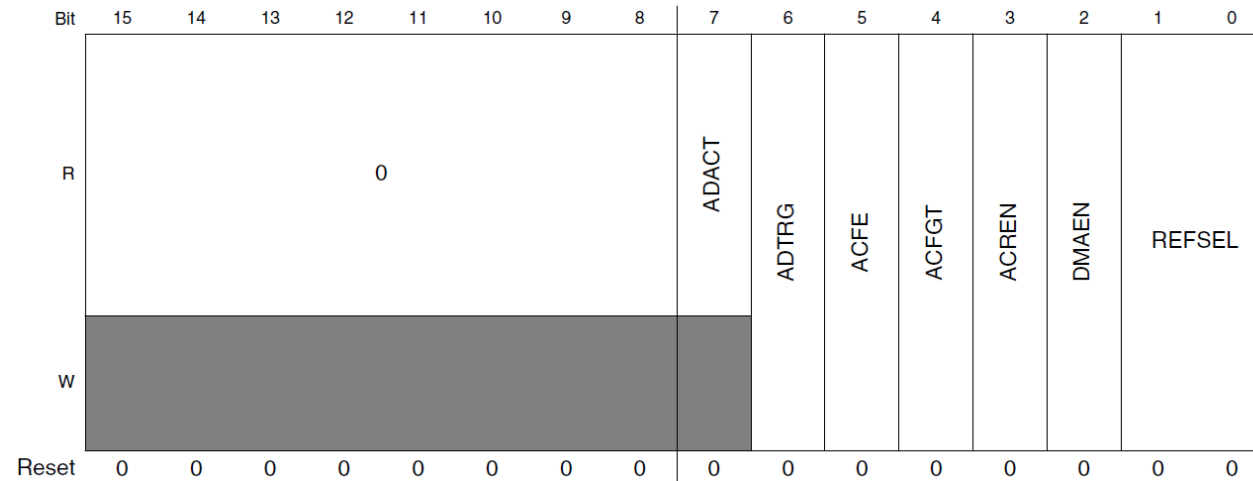


- COCO – Conversion Complete Flag
- AIEN – Interrupt Enable
- DIFF – Differential Mode Enable
- ADCH – Input Channel Select



Konfigurační registry

▪ Status and Control Register 2 (ADCx_SC2)

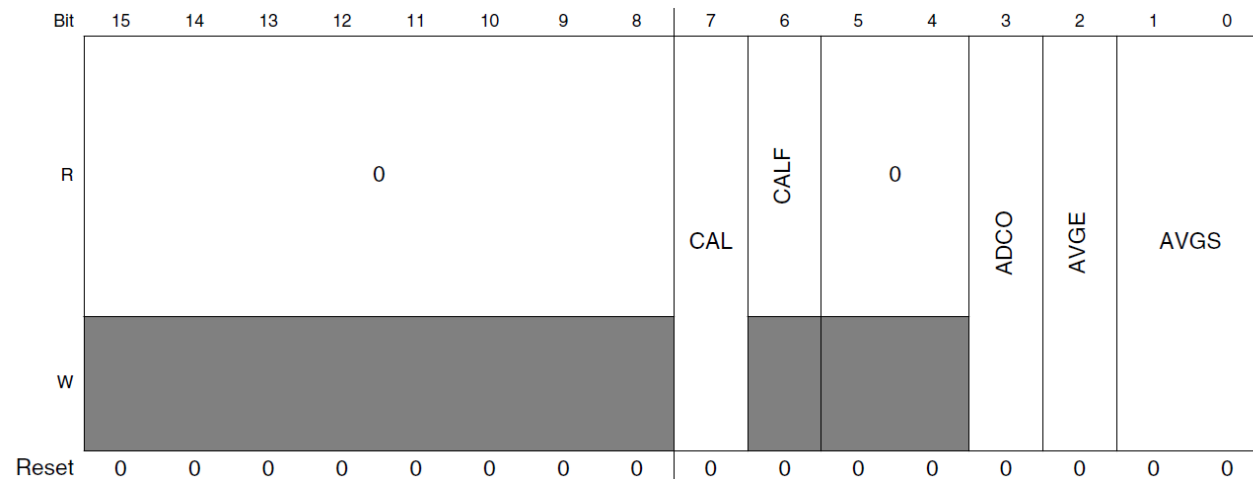


- ADACT – Conversion Active
- ADTRG – Conversion Trigger Select (Software x Hardware)
- ACFE – Compare Function Enable
- ACFG – Compare Function Greater Than Enable
- ACREN – Compare Function Range Enable
- DMAEN – DMA Enable
- REFSEL – Voltage Reference Selection



Konfigurační registry

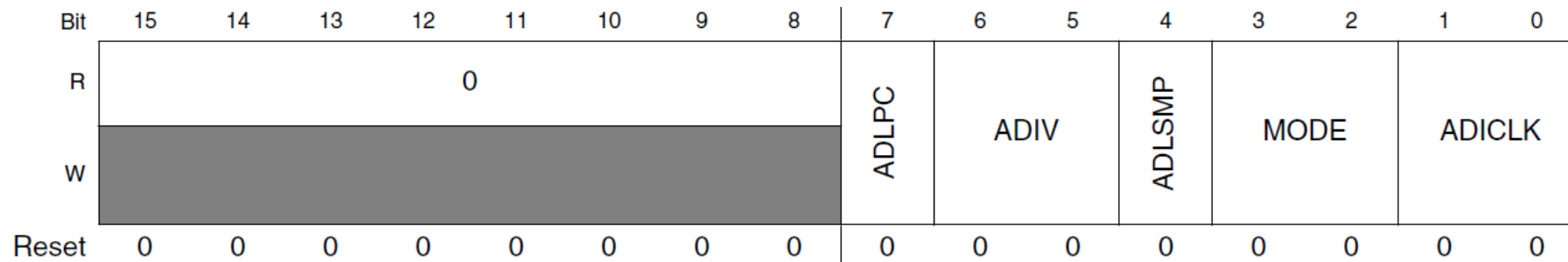
■ Status and Control Register 3 (ADCx_SC3)



- CAL – Calibration
- CALF – Calibration Failed Flag
- ADCO – Continuous Conversion Enable
- AVGE – Hardware Average Enable
- AVGS – Hardware Average Select (4, 8, 16, 32 samples)

Konfigurační registry

- ADC Configuration Register 1 (ADCx_CFG1)

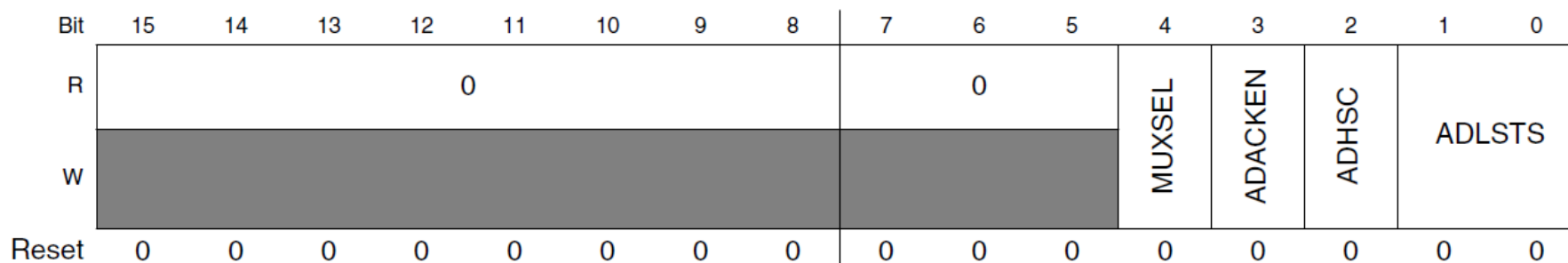


- ADLPC – Low-Power Configuration
- ADIV – Clock Divide Select (1 až 8)
- ADLSMP – Sample time configuration (Short x Long)
- MODE – Conversion mode selection (8 až 16 bit dle módu)
- ADICLK – Input Clock Select



Konfigurační registry

- ADC Configuration Register 2 (ADCx_CFG2)



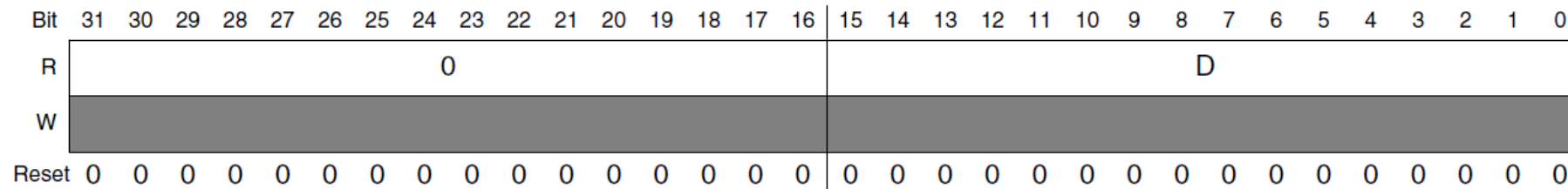
- MUXSEL – ADC Mux Select (A nebo B)
- ADACKEN – Asynchronous Clock Output Enable
- ADHCV – High-Speed Configuration
- ADLSTS – Long Sample Time Select



Výsledkový a komparační registr

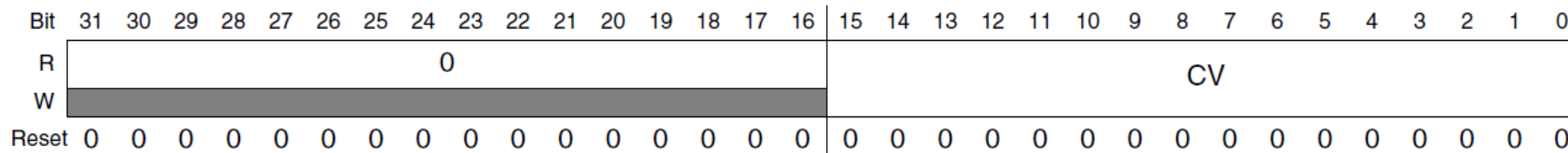
- ADC Data Result Register (ADCx_Rn)

Address: 4003_B000h base + 10h offset + (4d × i), where i=0d to 1d



- Compare Value Registers (ADCx_CVn)

Address: 4003_B000h base + 18h offset + (4d × i), where i=0d to 1d





Děkuji za pozornost



D/A převodník a analogový komparátor

Přednáška 5



Náplň přednášky 5

- D/A převodník
- Analogový komparátor



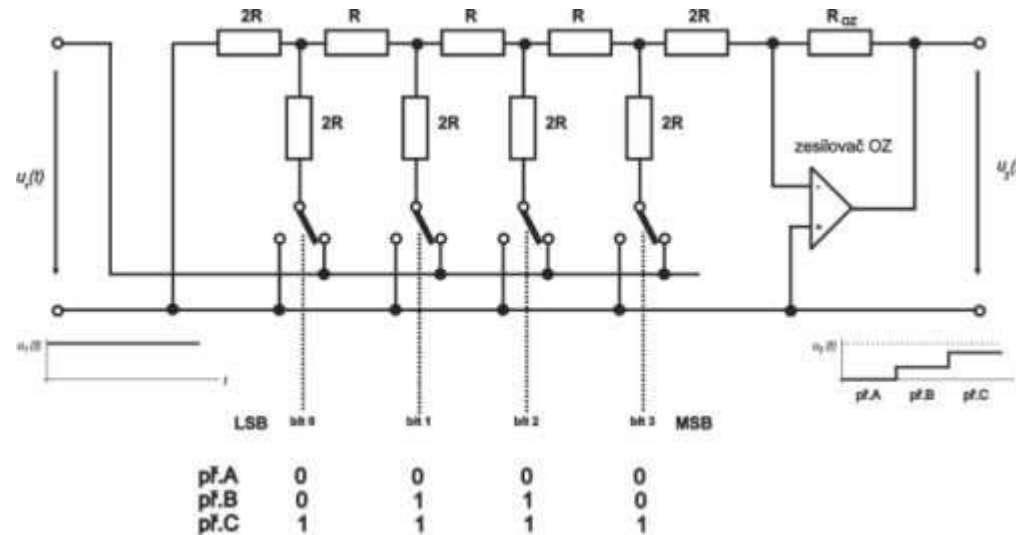
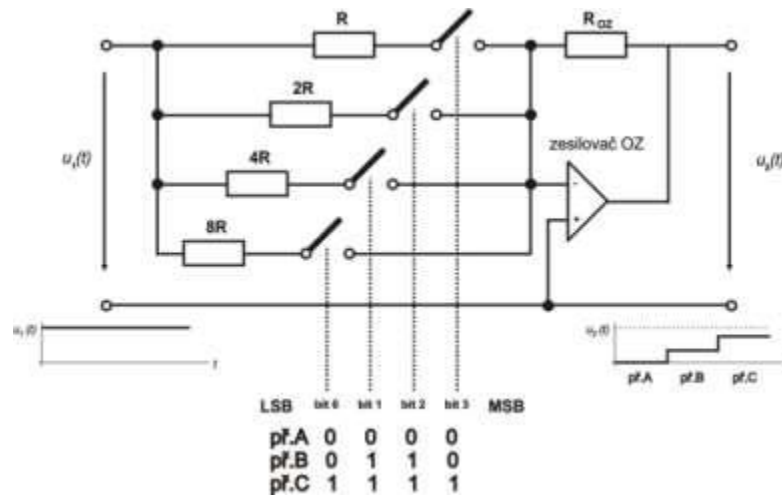
D/A převodník

- **Převádí** digitální signál na analogový.
- Má **rozlišení** uvádění v bitech.
- Dosahuje své **maximální** vzorkovací frekvence.
- Nejtypičtější použití v dnešní době je reprodukce **digitálního zvuku** jako například:
 - Zvukové karty
 - Domácí kina
 - Mobilní telefonu
- KL25Z obsahuje jeden **12 bitový** D/A převodník



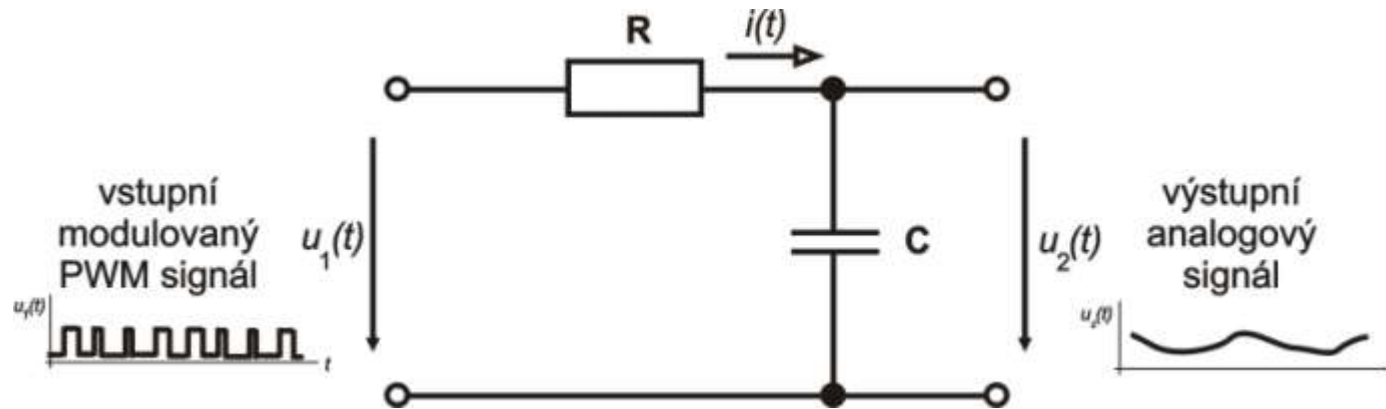
D/A převodníky

- Digitálně-analogové převodníky s váhovými rezistory
- Digitálně-analogové převodníky se žebříčkovou sítí rezistorů R-2R



Analogové výstupy pomocí PWM

- Využívá se PWM signál – Využíváme střední hodnoty PWM signálu

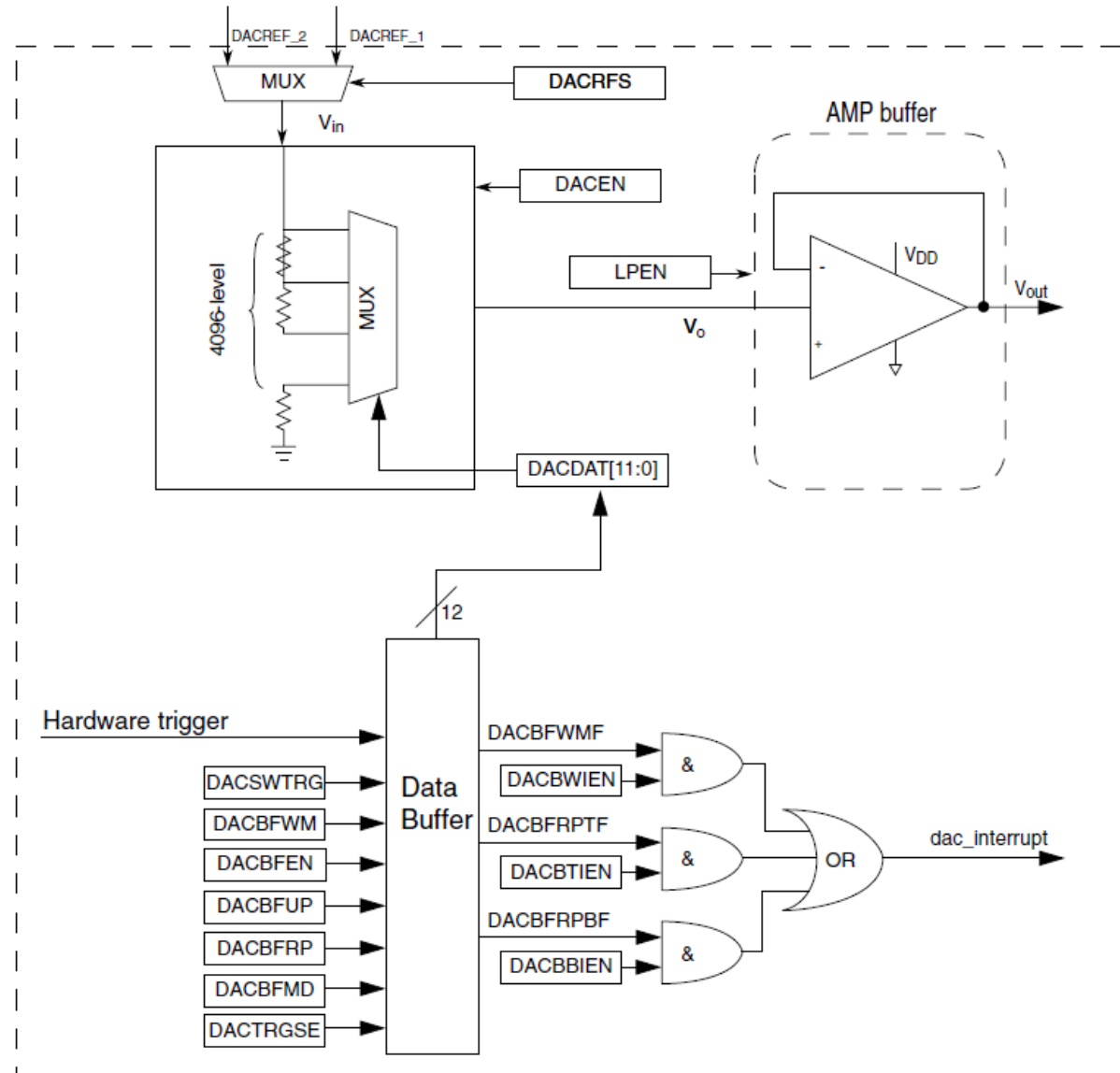




Vlastnosti DAC v KL25Z

- Možnost dvou zdrojů referenčního napětí
- Implementovaný buffer
- Přerušování od bufferu
- DMA operace

Blokové schéma

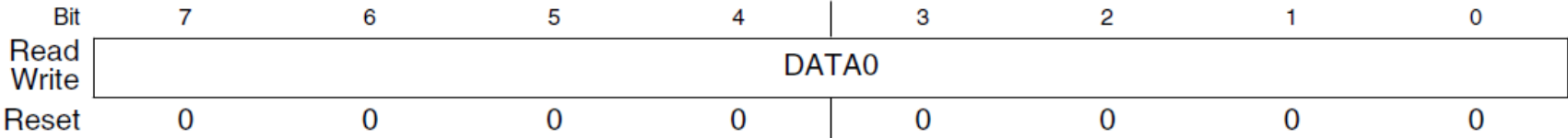




Data register

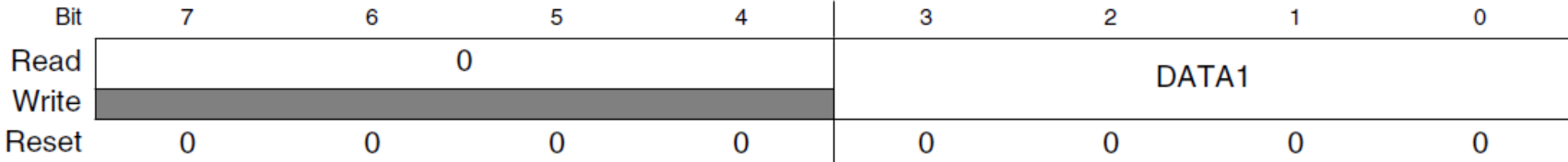
- DAC Data Low Register (DACx_DATnL)

Address: 4003_F000h base + 0h offset + (2d × i), where i=0d to 1d



- DAC Data High Register (DACx_DATnH)

Address: 4003_F000h base + 1h offset + (2d × i), where i=0d to 1d



Status register

- DAC Status Register (DACx_SR)

Address: 4003_F000h base + 20h offset = 4003_F020h

| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|----------|---|---|---|---|---|----------|----------|
| Read | 0 | | | | | | DACBFRPT | DACBFRPB |
| Write | [Shaded] | | | | | | F | F |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |

- DACBFRPTF – DAC Buffer Read Pointer Top Position Flag
- DACBFRPBF – DAC Buffer Read Pointer Bottom Position Flag

Control register

- DAC Control Register (DACx_C0)

Address: 4003_F000h base + 21h offset = 4003_F021h

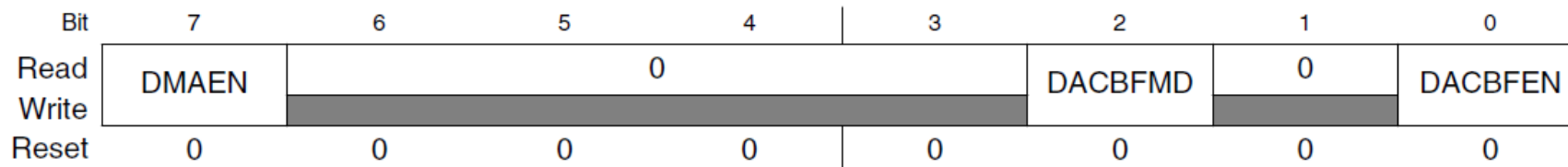
| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|-------|--------|-----------|----------|------|---|----------|----------|
| Read | DACEN | DACRFS | DACTRGSEL | 0 | LPEN | 0 | DACBTIEN | DACBBIEN |
| Write | | | L | DACSWTRG | | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

- DACEN – DAC Enable
- DACRFS – DAC Reference Select
- DACTRGSEL – DAC Trigger Select
- DACSWTRG – DAC Software Trigger
- LPEN – DAC Low Power Control
- DACBTIEN – DAC Buffer Read Pointer Top Flag Interrupt Enable
- DACBBIEN – DAC Buffer Read Pointer Bottom Flag Interrupt Enable

Control register

- DAC Control Register 1 (DACx_C1)

Address: 4003_F000h base + 22h offset = 4003_F022h



- DMAEN – DMA Enable Select
- DACBFMD – DAC Buffer Wrok Mode Select
- DACBFEN – DAC Buffer Enable



Control register

- DAC Control Register 2 (DACx_C2)

Address: 4003_F000h base + 23h offset = 4003_F023h

| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|---|---|---|---------|---|---|---|---------|
| Read | | 0 | | DACBFRP | | 0 | | DACBFUP |
| Write | | | | | | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

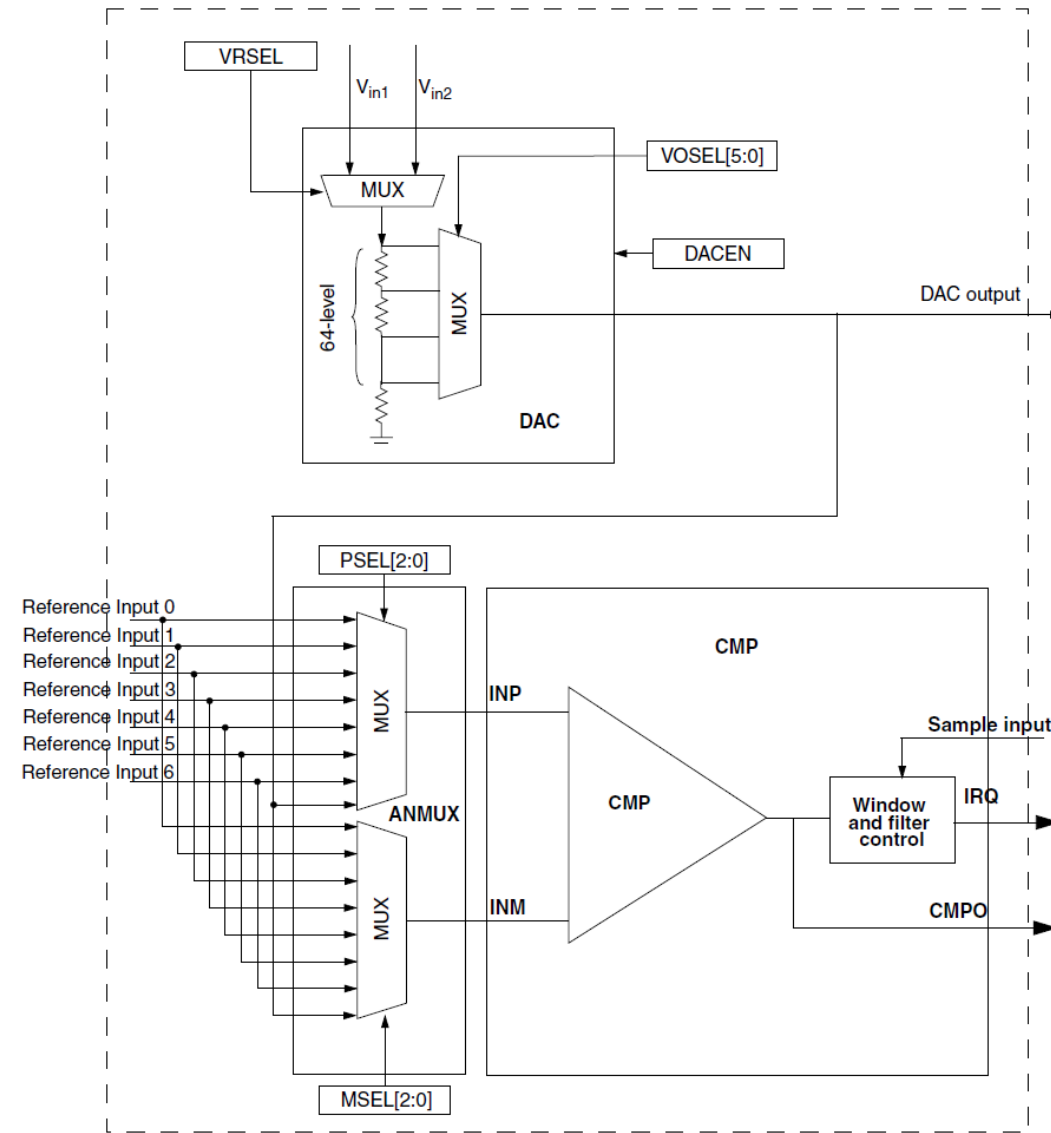
- DACBFRP – DAC Buffer Read Point
- DACBFUP – DAC Buffer Upper Limit



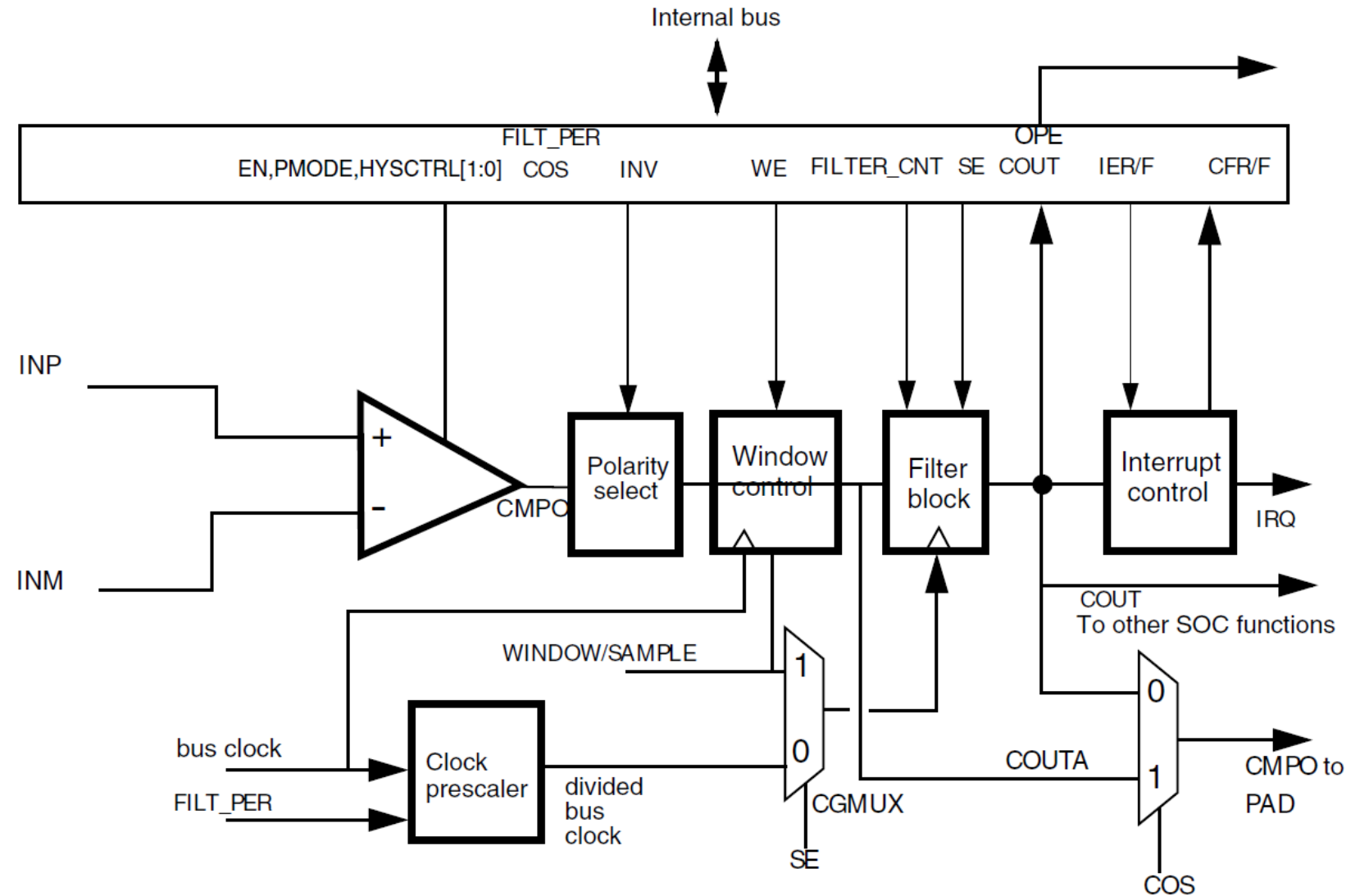
Analogový komparátor

- Komparátor umožňuje porovnání dvou analogových vstupních napětí.
- KL25Z má jeden komparátor s 6-bit DAC.
- Tento typ umožňuje rail-to-rail funkčnost.
- Je zde implementována hystereze
- Umožňuje několik základních módů.
- DMA transakce

Blokové schéma



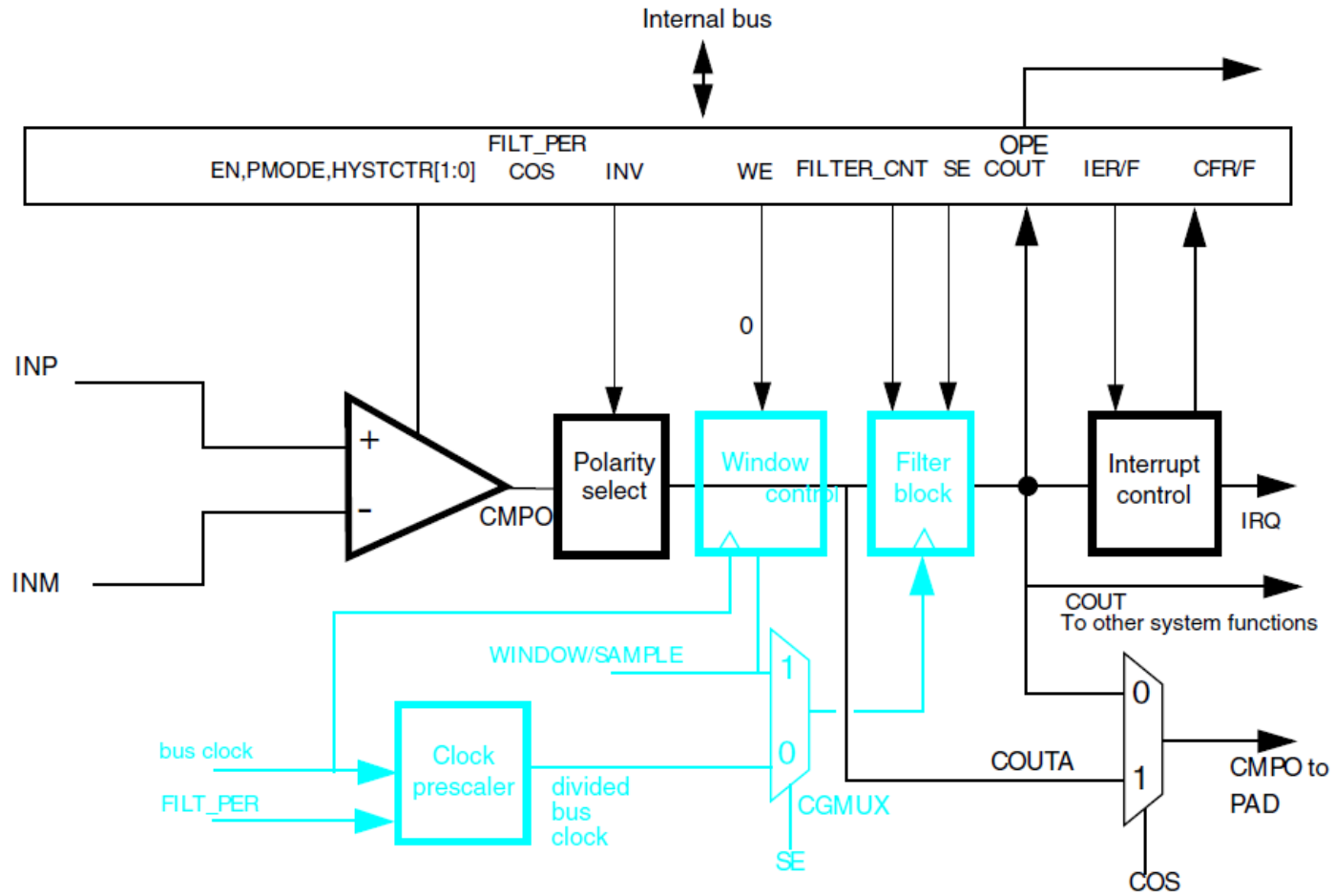
Blokové schéma



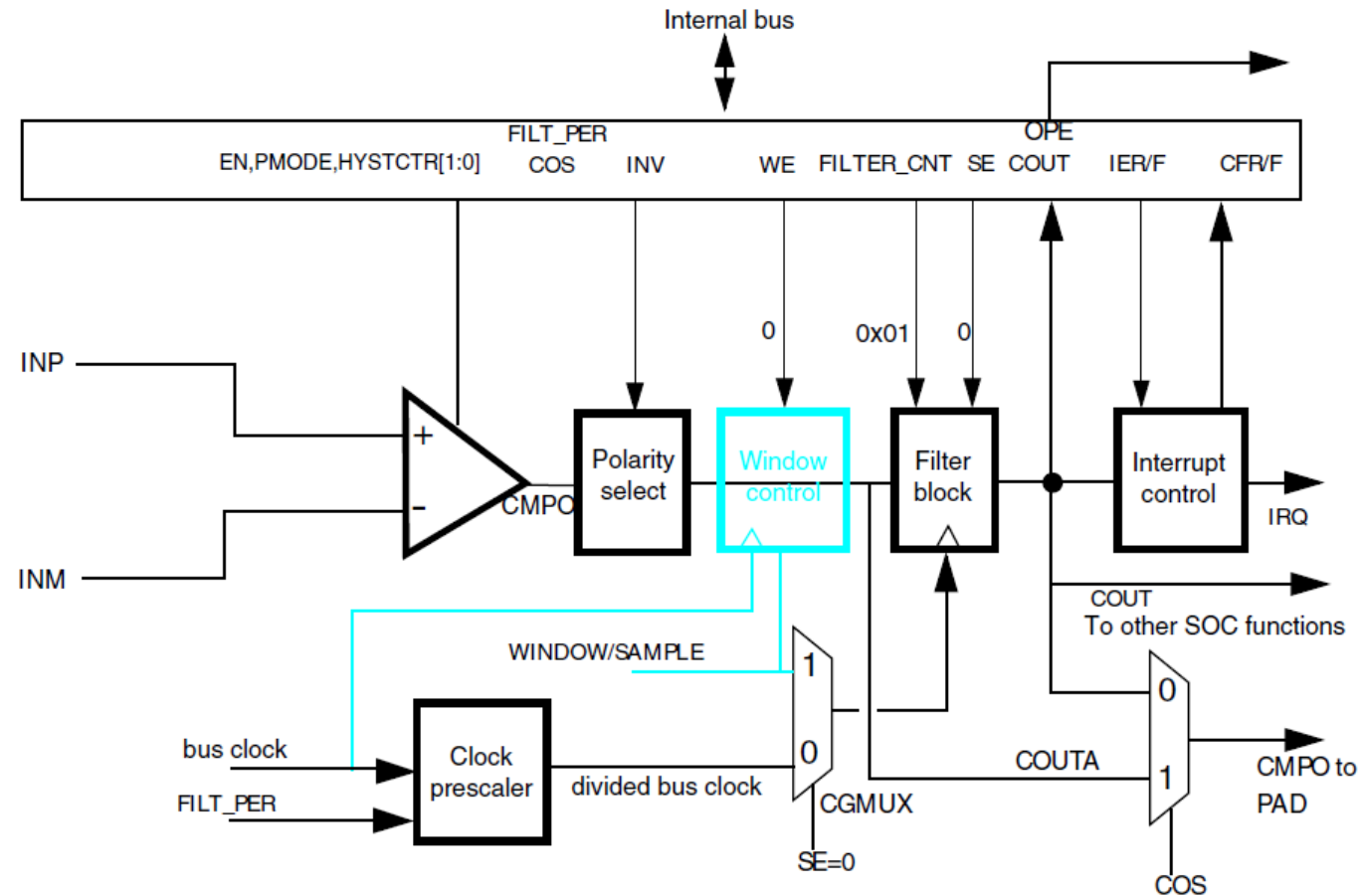
Modes

| Mode # | CR1[EN] | CR1[WE] | CR1[SE] | CR0[FILTER_CNT] | FPR[FILT_PER] | Operation |
|--|---------|---------|---------|-----------------|---------------|---|
| 1 | 0 | X | X | X | X | Disabled See the Disabled mode (# 1) . |
| 2A | 1 | 0 | 0 | 0x00 | X | Continuous Mode See the Continuous mode (#s 2A & 2B) . |
| 2B | 1 | 0 | 0 | X | 0x00 | |
| 3A | 1 | 0 | 1 | 0x01 | X | Sampled, Non-Filtered mode See the Sampled, Non-Filtered mode (#s 3A & 3B) . |
| 3B | 1 | 0 | 0 | 0x01 | > 0x00 | |
| 4A | 1 | 0 | 1 | > 0x01 | X | Sampled, Filtered mode See the Sampled, Filtered mode (#s 4A & 4B) . |
| 4B | 1 | 0 | 0 | > 0x01 | > 0x00 | |
| 5A | 1 | 1 | 0 | 0x00 | X | Windowed mode Comparator output is sampled on every rising bus clock edge when SAMPLE=1 to generate COUTA. See the Windowed mode (#s 5A & 5B) . |
| 5B | 1 | 1 | 0 | X | 0x00 | |
| 6 | 1 | 1 | 0 | 0x01 | 0x01–0xFF | Windowed/Resampled mode Comparator output is sampled on every rising bus clock edge when SAMPLE=1 to generate COUTA, which is then resampled on an interval determined by FILT_PER to generate COUT. See the Windowed/Resampled mode (# 6) . |
| 7 | 1 | 1 | 0 | > 0x01 | 0x01–0xFF | Windowed/Filtered mode Comparator output is sampled on every rising bus clock edge when SAMPLE=1 to generate COUTA, which is then resampled and filtered to generate COUT. See the Windowed/Filtered mode (#7) . |
| All other combinations of CR1[EN], CR1[WE], CR1[SE], CR0[FILTER_CNT], and FPR[FILT_PER] are illegal. | | | | | | |

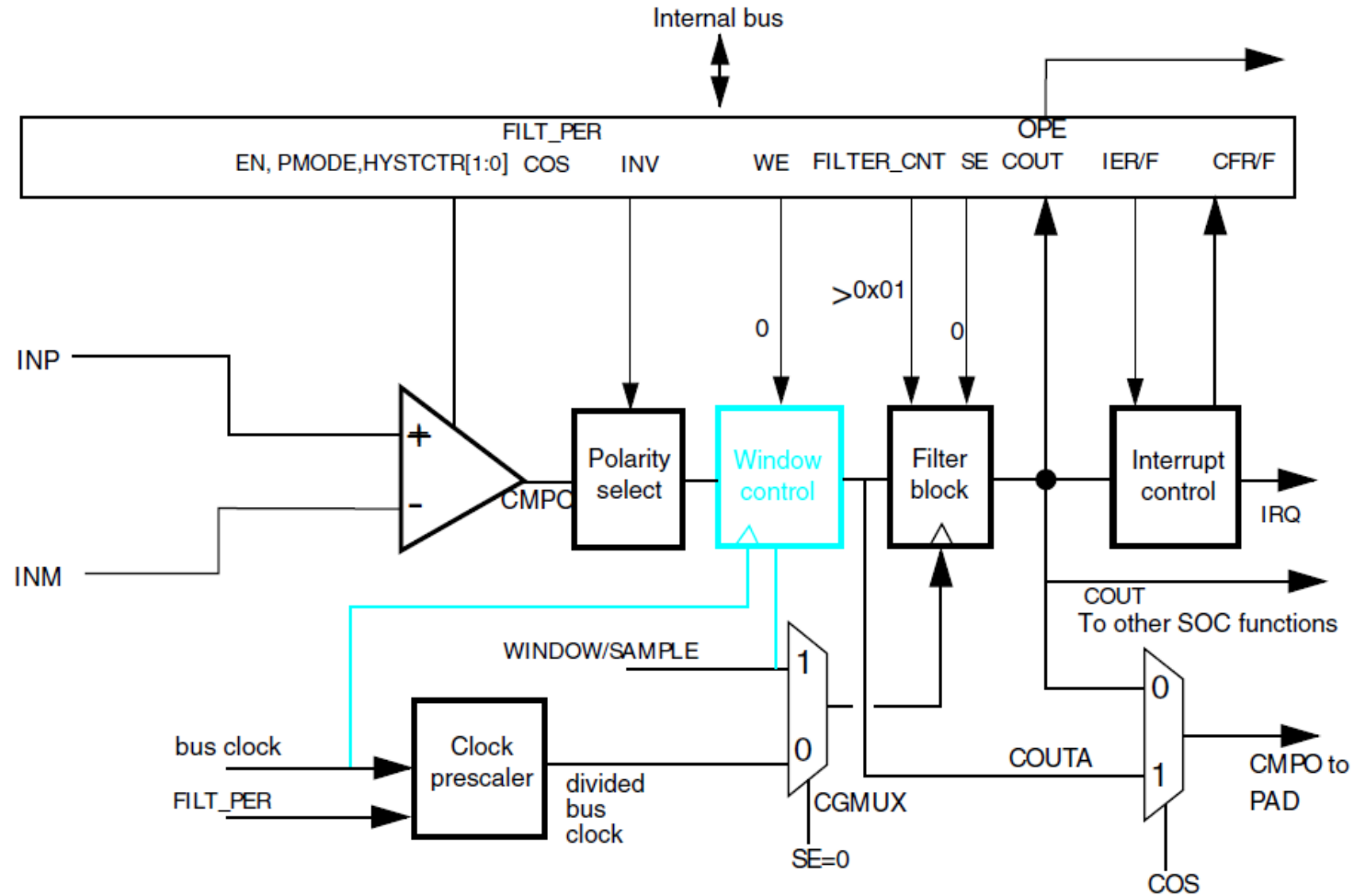
Continuous mode (2A & 2B)



Sampled, Non-Filtered mode (3B)



Sampled, Filtered mode (4B)





Control register

- CMP Control Register 0 (CMPx_CR0)

Address: 4007_3000h base + 0h offset = 4007_3000h

| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
|-------|----------|------------|---|---|---|---|---------|---|--|
| Read | 0 | FILTER_CNT | | | 0 | 0 | HYSTCTR | | |
| Write | [Shaded] | | | | | | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |

- FILTER_CNT – Filter Sample Count (0 – 7)
- HYSTCTR – Comparator had block hysteresis control



Control registr

- CMP Control Register 1 (CMPx_CR1)

Address: 4007_3000h base + 1h offset = 4007_3001h

| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|---|---|---|---|---|---|---|---|
| Read | | | | | | | | |
| Write | | | | | | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

- SE – Sample Enable
- WE – Windowing Enable
- TRIGM – Trigger Mode Enable
- PMODE – Power Mode Select
- INV – Comparator INVERT
- COS – Comparator Output Select
- OPE – Comparator Output Pin Enable
- EN – Comparator Module Enable

Period registr

- CMP Filter Period Register (CMPx_FPR)

Address: 4007_3000h base + 2h offset = 4007_3002h

| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|----------|---|---|---|---|---|---|---|
| Read | FILT_PER | | | | | | | |
| Write | | | | | | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

Status a control registr

- CMP Status and Control Register (CMPx_SCR)

Address: 4007_3000h base + 3h offset = 4007_3003h

| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|---|-------|---|-----|-----|-----|-----|------|
| Read | 0 | DMAEN | 0 | IER | IEF | CFR | CFF | COUT |
| Write | | | | | | w1c | w1c | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

- DMAEN – DMA Enable Control
- IER – Comparator Interrupt Enable Rising
- IEF – Comparator Interrupt Enable Falling
- CFR – Analog Comparator Flag Rising
- CFF – Analog Comparator Flag Falling
- COUT – Analog Comparator Output



DAC registr

- DAC Control Register (CMPx_DACCR)

Address: 4007_3000h base + 4h offset = 4007_3004h

| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|-------|-------|---|---|-------|---|---|---|
| Read | DACEN | VRSEL | | | VOSEL | | | |
| Write | | | | | | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

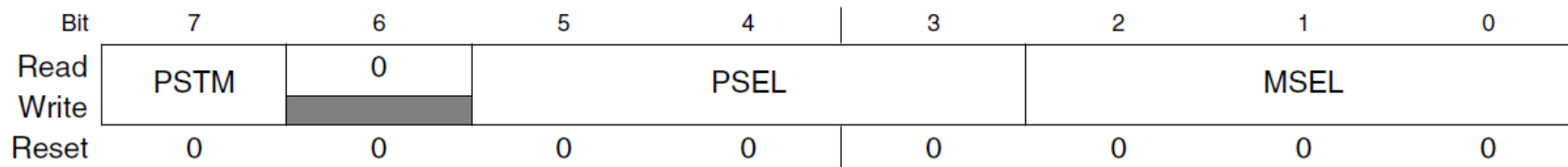
- DACEN – DAC Enable
- VRSEL – Supply Voltage Reference Source Select
- VOSEL – DAC Output Voltage Select



MUX CMP

- MUX Control Register (CMP_x_MUXCR)

Address: 4007_3000h base + 5h offset = 4007_3005h



- PSTM – Pass Through Mode Enable
- PSEL – Plus Input Mux Control
- MSEL – Minus Input Mux Control



Děkuji za pozornost



Výjimky

Přednáška 6



Náplň přednášky 6

- Úvod a základní terminologie
- Exception handler
- Systémové výjimky
- Přerušení
- Výjimky – obecné vlastnosti
- NVIC
- Vector table
- Exception nesting



Úvod

- Motivace: Jak reagovat na asynchronní událost?
 - Polling – program (pravidelně) provádí kontrola výskytu události.
 - Výjimka (exception) – běh programu je automaticky ovlivněn výskytem události.
- Výjimky jsou metodou umožňující procesoru **efektivně** reagovat na asynchronní události.
- Interrupt-driven approach, inženýrská technika - návrh architektury SW tak, že algoritmus spoléhá na využití výjimek.
- Zde diskutované výjimky nemají souvislost s ryze softwarovými výjimkami, které se vyskytují v některých prog. jazycích (Java apod.).
- Terminologie je značně závislá na dané architektuře CPU.



Základní terminologie, CPU Cortex-M0+ (CM0P)

- Výjimky jsou děleny na:
 - Systémové výjimky (system exceptions)
 - Přerušení (interrupts)
- NVIC (nested vectored interrupt controller) - standardní řadič přerušení.
- IRQ (interrupt request) - žádost o zpracování přerušení.
- Exception handler - rutina (podprogram), která je vykonána na základě aktivní indikace výjimky (= IRQ v případě přerušení).
- Vector table (tabulka vektorů) – tabulka adres expt. handlerů.
- Expt. nesting (vhnízdění výjimek) – přerušení běhu expt. handleru jiným expt. handlerem.



Exception handler

- Má formu funkce s prototypem: *void handler(void)*
- Stacking/unstacking – uložení/obnovení hodnot registrů (kontextu) před/po vykonání expt. handleru.
- Stacking/unstacking je v případě CMOP prováděn hardwarově.
 - Pořadí uložených hodnot registrů na zásobníku: XPSR, PC, LR, R12, R3, R2, R1, R0
- HW stacking/unstacking odstraňuje nutnost tzv. prologu/epilogu, expt. handler je tedy "normální" funkce.
- Unstacking je zahájen nahráním vyhrazené hodnoty (tzv. EXC_RETURN) do registru PC, tím je spuštěna obnova hodnot registrů (viz. výše) ze zásobníku.



Systemové výjimky (system exceptions)

- Výjimky, které jsou interně generovány v rámci CMOP.
- CMOP implementuje právě 5 syst. výjimek:
 - NMI (non-maskable interrupt), nemaskovatelné přerušení (pozor – vnější zdroj)
 - Hardfault – výskyt kritické chyby
 - SVC (supervisor call), softwarová výjimka, typ #1
 - PendSV, softwarová výjimka, typ #2
 - SysTick – expirace periody std. časovače
- Alokace jednotlivých syst. výjimek **není** implementačně závislé (= neliší se s modelem CMOP MCU).
- Systemové výjimky nemají flag (příznak), tj. chovají se jako edge-sensitive události.



Přerušeni (interrupts)

- Výjimky, které jsou generovány zdroji mimo CM0P.
- CM0P implementuje až 32 přerušeni.
- Alokace jednotlivých přerušeni periferií **je** implementačně závislé (= může se lišit s modelem CM0P MCU).
- Součástí CM0P (a také CM4 atd.) je tzv. NVIC (nested vectored interrupt controller).
- IRQ (interrupt request) – signál generovaný danou periferií, je propojen s odpovídajícím vstupem NVICu.
- Příznak přerušeni (interrupt flag) je nutné nulovat (clear) v expt. handleru.
- Latence < 16 taktů CM0P.



Výjimky – obecné vlastnosti

- Povolení obsluhy výjimek (mimo NMI a Hardfault) je řízeno bitem PM v registru PRIMASK, CMSIS: `__enable_irq()`, `__disable_irq()`
- Daná implementace CM0P priorizuje výjimky (mimo NMI a Hardfault) 2^N úrovněmi, N je počet bitů konfiguruujících prioritu.
- NXP MKL25Z: 4 úrovně priority (0 – nejvyšší, 3 - nejnižší).
- Nižší číslo = vyšší priorita, vyšší číslo = nižší priorita.
- Nemaskovatelné výjimky: HardFault (priorita -1), NMI (pri. -2), reset (pri. -3, tj. reset má absolutní přednost)



NVIC

- Standardní řadič přerušení platformy Cortex-M.
- Povolení/zákaz zpracování daného přerušení, registry ISER/ICER.
 - CMSIS: *NVIC_EnableIRQ()*, *NVIC_DisableIRQ()*
- Nastavení/nulování *pending* příznaku daného přerušení, reg. ISPR/ICPR.
 - CMSIS: *NVIC_SetPendingIRQ()*, *NVIC_ClearPendingIRQ()*
- Nastavení priority přerušení, registry IPR0 – IPR7.
 - CMSIS: *NVIC_SetPriority()*
- Identifikace výjimky, dat. typ *IRQn_Type*, je definován v systémovém headeru (MKL25Z4.h)



Vector table

- Tabulka 16 (syst. expt.) + až 32 (přerušeni) adres expt. handlerů.
- Velikost až $(16 + 32) * 4B = 192B$
- Obsahuje také adresu první instrukce vykonané po resetu CM0P a inicializační hodnotu registru SP.
- Tabulka se může nacházet kdekoliv v paměti CM0P, je možné její přemístění.
- Adresa tabulky je uložena v registru VTOR.
- Více položek v tabulce může ukazovat na stejný handler, tj. více výjimek, mohou mít i jinou prioritu, může sdílet handler.
- Číslo aktuálně aktivní výjimky čteme z reg. IPRS (CMSIS funkce `__get_IPSR()`).



Exception nesting

- Nesting = běh exception handleru je přerušen jinou výjimkou s vyšší prioritou, tj. může dojít k přerušení handleru handlerem.
- Nesting je transparentní, stejně jako je transparentní přerušení thread (= funkce main() apod.) módu výjimkou.
- Každý nový level nestingu má za následek stacking/unstacking registrů.
- Na CM0P lze nesting deaktivovat jen:
 - Nastavením stejné priority pro všechny výjimky.
 - Globálním vypnutím zprac. výjimek (reg. PRIMASK) v každém handleru.
- CM3, CM4 umožňuje vypnutí nestingu při zachování prioritizace výjimek.



Děkuji za pozornost



Komunikace v embedded systémech

RS232, UART

Přednáška 7



Náplň přednášky 7

- Komunikační rozhraní
- UART
- RS232



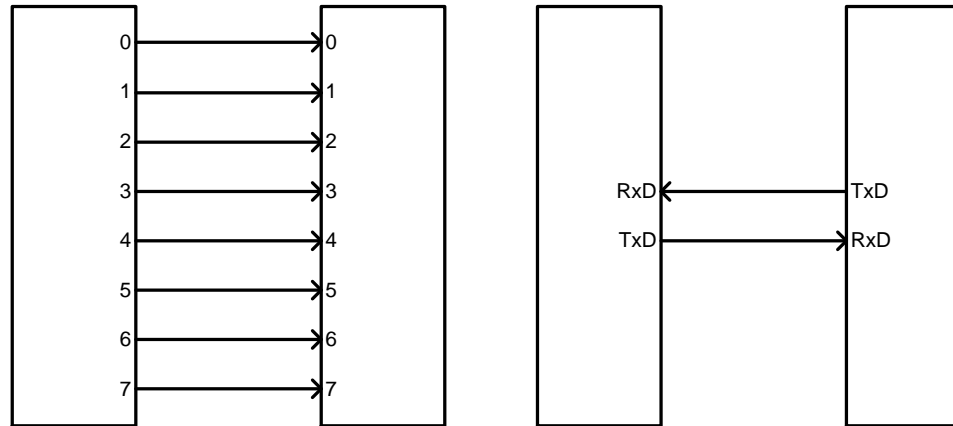
Komunikační rozhraní

Dělíme na:

- Sériové
- Paralelní

Dělíme na:

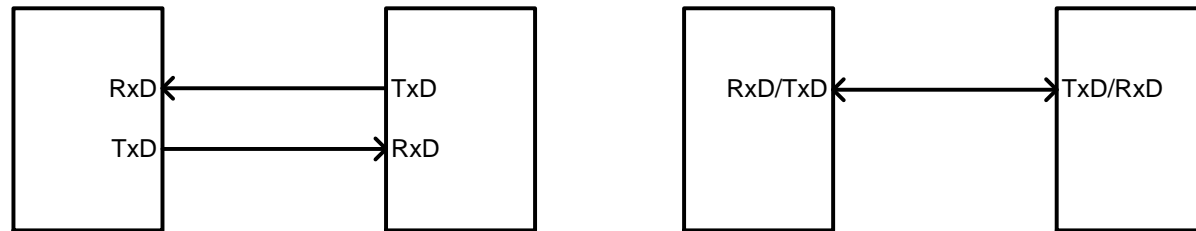
- Drátové
- Bezdrátové





Duplexní spojení

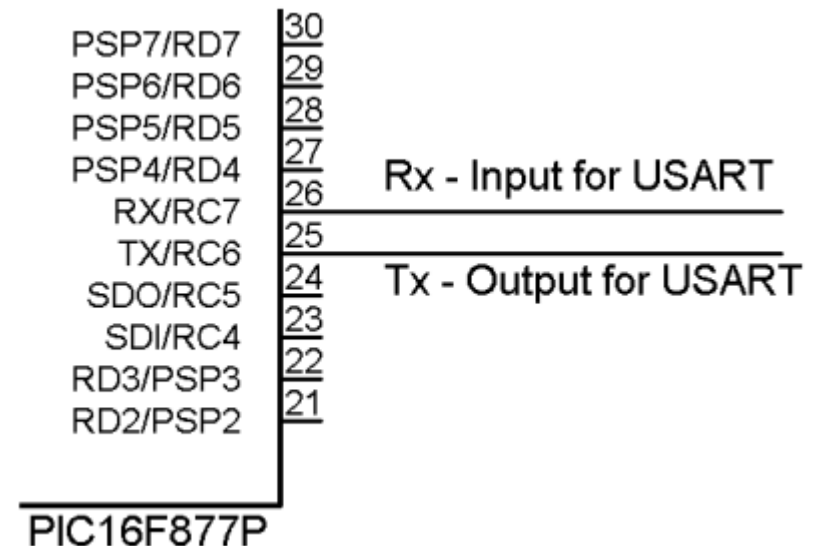
- Duplexní spojení (duplex, obecně duplexní systém) je taková komunikace (popř. přenos dat) mezi dvěma subjekty, při které mohou data putovat oběma směry současně. Opakem je simplexní spojení
- Lze rozlišit dva druhy duplexního spojení:
 - poloviční duplex
 - plný duplex.





USART (UART)

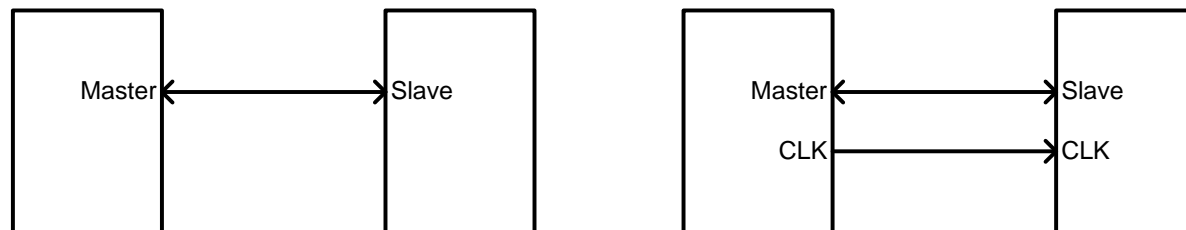
- Synchronní / asynchronní sériové rozhraní USART (Universal Synchronous / Asynchronous Receiver and Transmitter).
- Jde o zařízení pro sériovou komunikaci, které lze nastavit buď pro asynchronní režim (SCI - např. pro linky RS232 resp. RS485), anebo pro synchronní režim





Synchronní a asynchronní komunikace

- Fyzický přenos komunikace lze rozdělit na komunikace synchronní a komunikaci asynchronní.
- Komunikaci lze považovat za synchronní, pokud je přenos atomických elementů zprávy (například jednotlivých bitů) z hlediska vysílače i přijímače explicitně synchronizován jednotným synchronizačním signálem.
- Naproti tomu v případě asynchronní komunikace neexistuje žádný jednotný synchronizační signál.



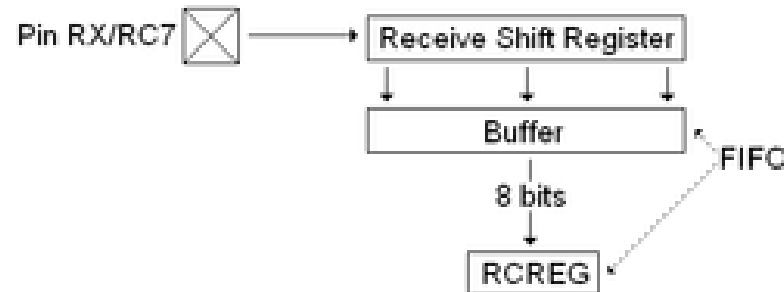
Vyslání bajtu

- Jakmile jsou data zapsána do registru TXREG, všechny bity jsou přepsány do registru pro vysílání (Transmit Shift Register).
- A odtud jsou dále přeposlány na TX pin, přičemž je jim přiřazen na začátek start a na konec stop bit.
- Použití speciálního registru pro vysílání umožňuje načítání nových dat do registru TXREG už během vysílání dat předchozích. To maximálně zefektivňuje komunikaci.



Příjem bajtu

- Po detekci start bitu na pinu RX, se další data bit po bitu přesunou do registru pro příjem (receive shift register).
- Po přesunutí posledního bitu se zkontroluje stop bit a data se pošlou do bufferu, který je předá registru RCREG, pokud je prázdný.
- Tento buffer a registr RCREG jsou dva elementy FIFO. Separátní použití registru pro příjem a FIFO bufferu poskytuje softwaru k přečtení doručených dat bez rizika přepsání těchto dat dalšími doručenými. Je tedy možné obdržet první dva byty a dále přijímat třetí byte ještě předtím, než jsou data „vytažena“ z registru RCREG.





RS-232

- Standard RS-232, resp. jeho poslední varianta RS-232C z roku 1969, (také sériový port nebo sériová linka) se používá jako komunikační rozhraní osobních počítačů a další elektroniky.
- RS-232 umožňuje propojení a vzájemnou sériovou komunikaci dvou zařízení, tzn. že jednotlivé bity přenášených dat jsou vysílány postupně za sebou (v sérii) po jednom páru vodičů v každém směru.





Technický popis RS-232

- Standard definuje asynchronní sériovou komunikaci pro přenos dat. Pořadí přenosu datových bitů je od nejméně významného bitu (LSB) po bit nejvýznamnější (MSB).
- Počet datových bitů je volitelný, obvykle se používá 8 bitů, lze se také setkat se 7 nebo 9 bity.
- Logický stav „0“/„1“ přenášených dat je reprezentován pomocí dvou možných úrovní napětí, které jsou bipolární a dle zařízení mohou nabývat hodnot ± 5 V, ± 10 V, ± 12 V nebo ± 15 V.
- Nejčastěji se používá varianta při které logické hodnotě 1 odpovídá napětí -12 V a logické hodnotě 0 pak $+12$ V. Základní tři vodiče rozhraní (příjem RxD, vysílání TxD a společná zem GND) jsou doplněny ještě dalšími vodiči sloužícími k řízení přenosu (vstupy DCD, DSR, CTS, RI, výstupy DTR, RTS).
- Ty mohou a nemusí být používány (zapojeny), nebo mohou být použity pro napájení elektronických obvodů v zařízení, jako je například počítačová myš.
- Výstupní elektronika je vybavena ochranou proti zkratu, kdy po překročení proudu 20 mA proud již dále neroste.



Logické úrovně RS-232

- pro datové signály (tj. RXD a TXD): logická 0 je +3 V až +15 V, logická 1 je -3 V až -15 V
- pro řídicí signály (tj. RTS, CTS, DTR, DSR, ...): logická 0 je -3 V až -15 V, logická 1 je +3 V až +15 V
- Řídicí signály mají tedy opačnou logiku než signály přenášející data.



MAX232

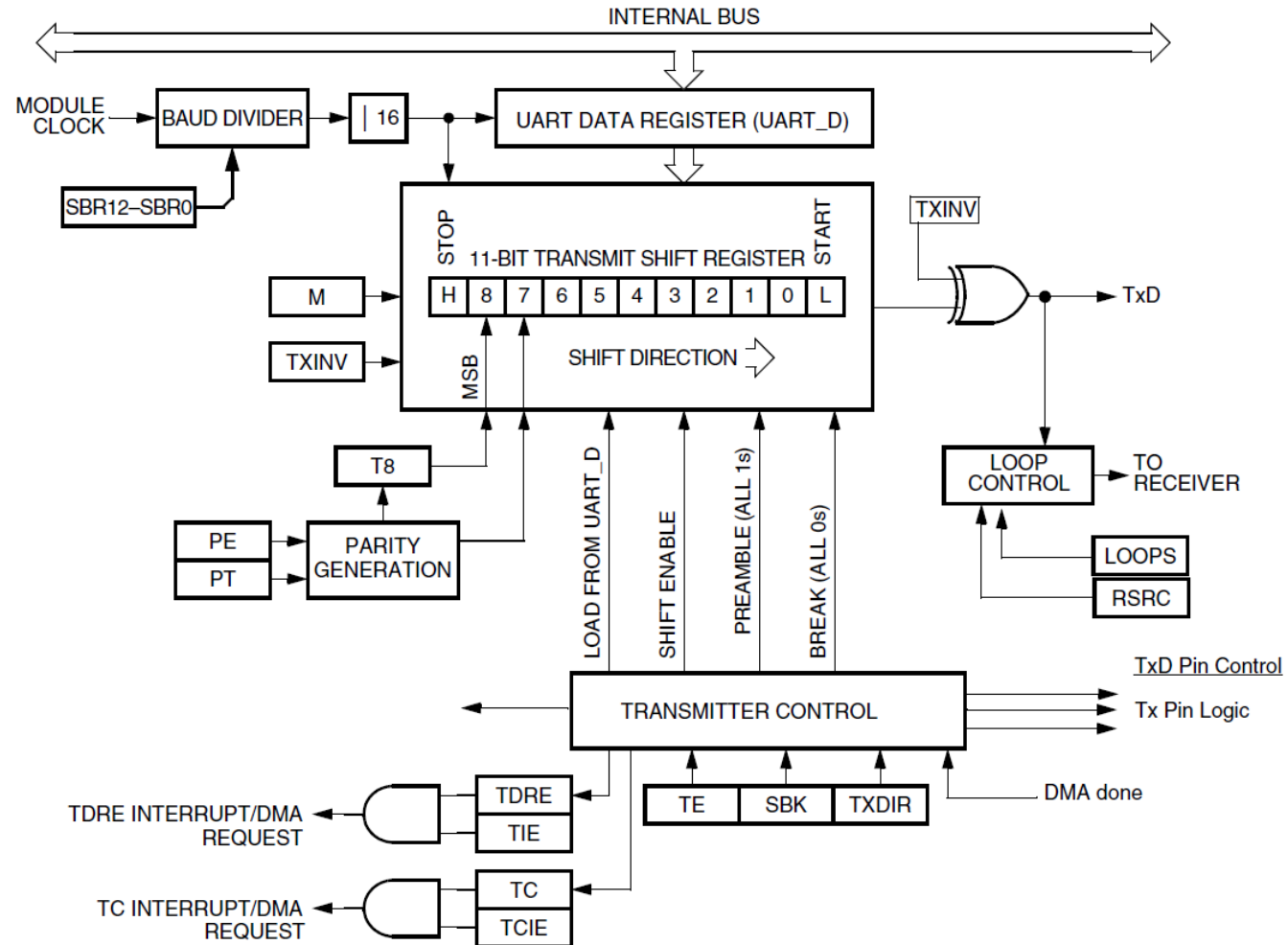
- MAX232 je levný a velmi používaný převodník úrovní RS-232 (sériová linka) na TTL úrovně.
- Jeho nespornou výhodou je, že potřebuje pouze jeden zdroj napětí a to +5 V, nikoliv +15, -15 a +5 V jako některé jiné převodníky.
- Obsahuje 2 převodníky TTL → RS232 a 2 převodníky RS232 → TTL.



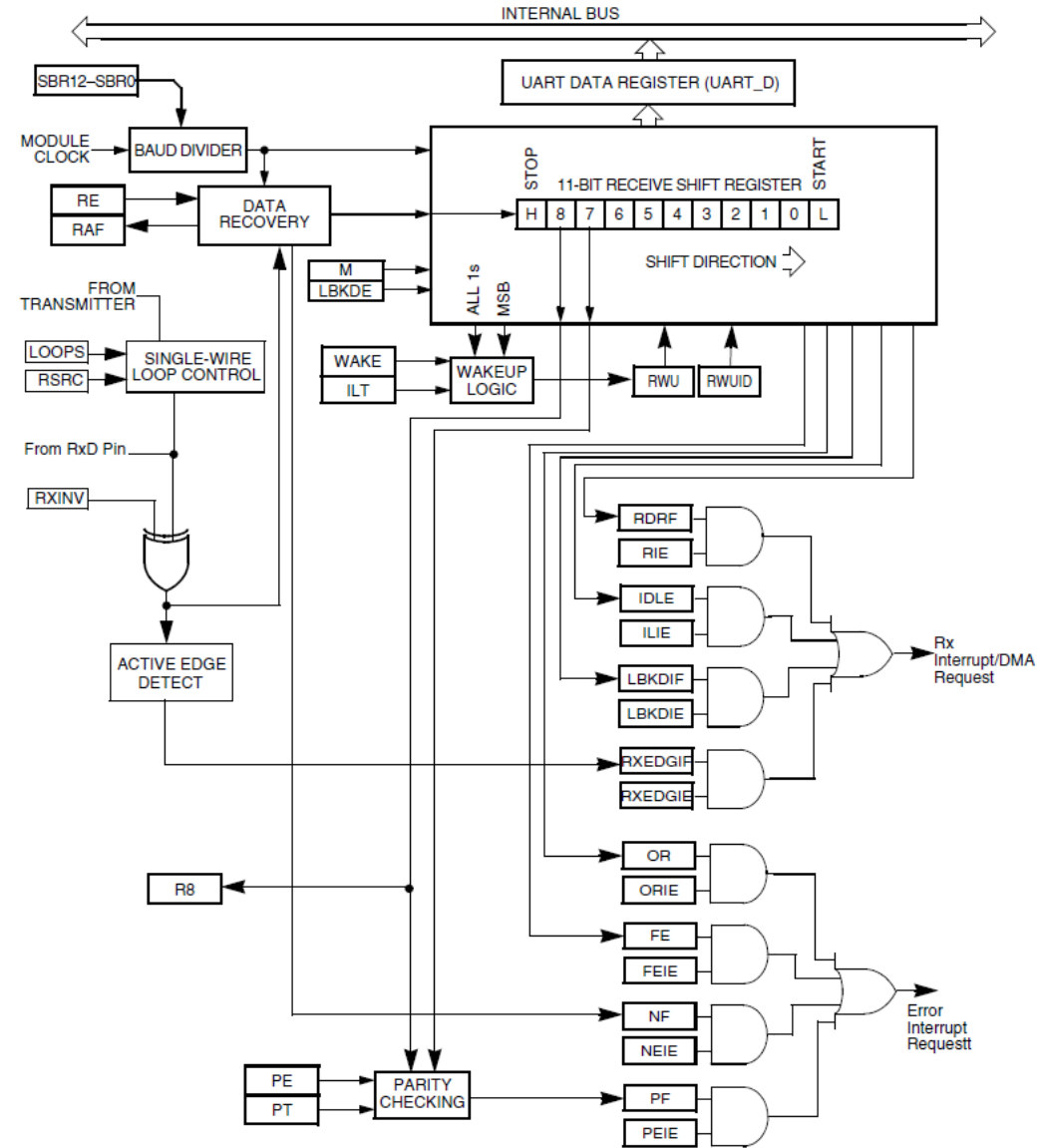
UART periferie

- Full-duplex komunikace
- Programovatelná rychlost
- Možnost generování přerušení
- Hardwarové kontrola parity
- Programovatelná délka – 8 nebo 9 bitů
- Programovatelné 1 nebo 2 stop bity
- 5 kanálový DMA interface

Vysílací schéma



Přijímací schéma





UART Baud Rate Register

- UART Baud Rate Register: High (UARTx_BDH)

Address: Base address + h offset

| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|--------|---------|------|---|---|-----|---|---|
| Read | LBKDIE | RXEDGIE | SBNS | | | SBR | | |
| Write | | | | | | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

- UART Baud Rate Register: Low (UARTx_BDL)

Address: Base address + h offset

| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|---|---|---|---|-----|---|---|---|
| Read | | | | | SBR | | | |
| Write | | | | | | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |



Control register

- UART Control Register 2 (UARTx_C2)

| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|-----|------|-----|------|----|----|-----|-----|
| Read | TIE | TCIE | RIE | ILIE | TE | RE | RWU | SBK |
| Write | | | | | | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

- TIE – Transmit Interrupt Enable for TDRE
- TCIE – Transmission Complete Interrupt Enable for TC
- RIE – Receiver Interrupt Enable for RDRF
- ILIE – Idle Line Interrupt Enable for IDLE
- TE – Transmitter Enable
- RE – Receiver Enable
- RWU – Receiver Wakeup Control
- SBK – Send Break



Status register

- UART Status Register 1 (UARTx_S1)

| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|------|----|------|------|----|----|----|----|
| Read | TDRE | TC | RDRF | IDLE | OR | NF | FE | PF |
| Write | | | | | | | | |
| Reset | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |

- TDRE – Transmit Data Register Empty Flag
- TC – Transmission Complete Flag
- RDRF – Recieve Data Register Full Flag
- IDLE – Idle Live Flag
- OR – Reciever Overrun Flag
- NF – Noise Flag
- FE – Framing Error Flag



Data register

- UART Data Register (UARTx_D)

| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|------|------|------|------|------|------|------|------|
| Read | R7T7 | R6T6 | R5T5 | R4T4 | R3T3 | R2T2 | R1T1 | R0T0 |
| Write | | | | | | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |



Děkuji za pozornost



Komunikace v embedded systémech

SPI, I2C

Přednáška 8

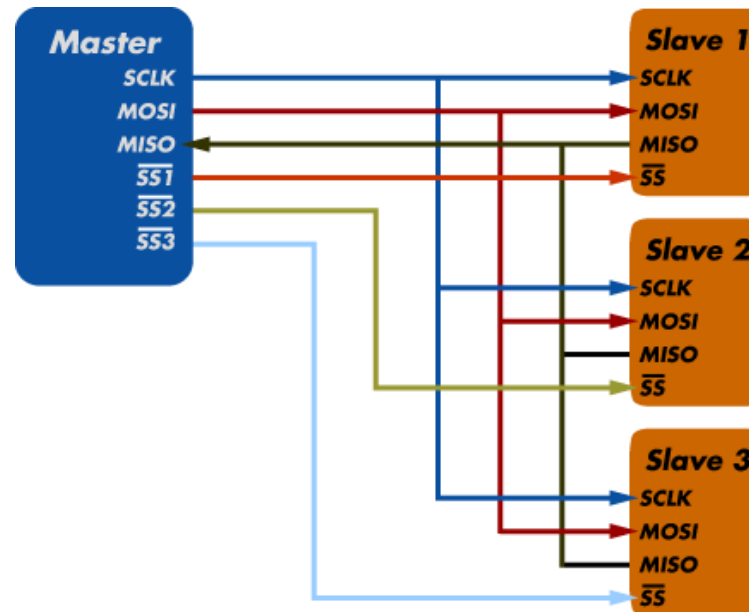


Náplň přednášky 8

- SPI
- I2C

Úvod – SPI

- Zkratka Serial Peripheral Bus
- Sériová synchronní sběrnice
- Vyvinuto firmou Motorola, dnes všeobecný standard
- Komunikace mezi MCU a perifériemi na krátkou vzdálenost (v rámci DPS)
 - Senzory
 - SD karty
 - LCD displeje,
 - drivery LED displejů





Vodiče

- SCK – hodinový signál
- MOSI – master out/slave in
- MISO – master in/slave out
- SS – slave select, jinak také CS (chip select)

- Možné je i alternativní označení
 - Např: Místo MOSI/MISO se někdy používá SDO (serial data out), SDI(serial data in)
- Kromě výše uvedených vodičů je nutné **spojit i zem** všech zařízení!



Přenos dat

- Plný duplex – možnost posílat data zároveň oběma směry – nemusí být vždy využito
- Velmi jednoduchý princip
- Master je zdrojem hodin – řídí chod celé sběrnice
- Rychlost – není omezena standardem, záleží na konkrétní komponentě
 - Obvykle jednotky až desítky MHz
 - Lze dosáhnout až 70 MHz
- Není nijak dán protokol přenosu
- Bez omezení na 8 bitové slovo jako u I2C

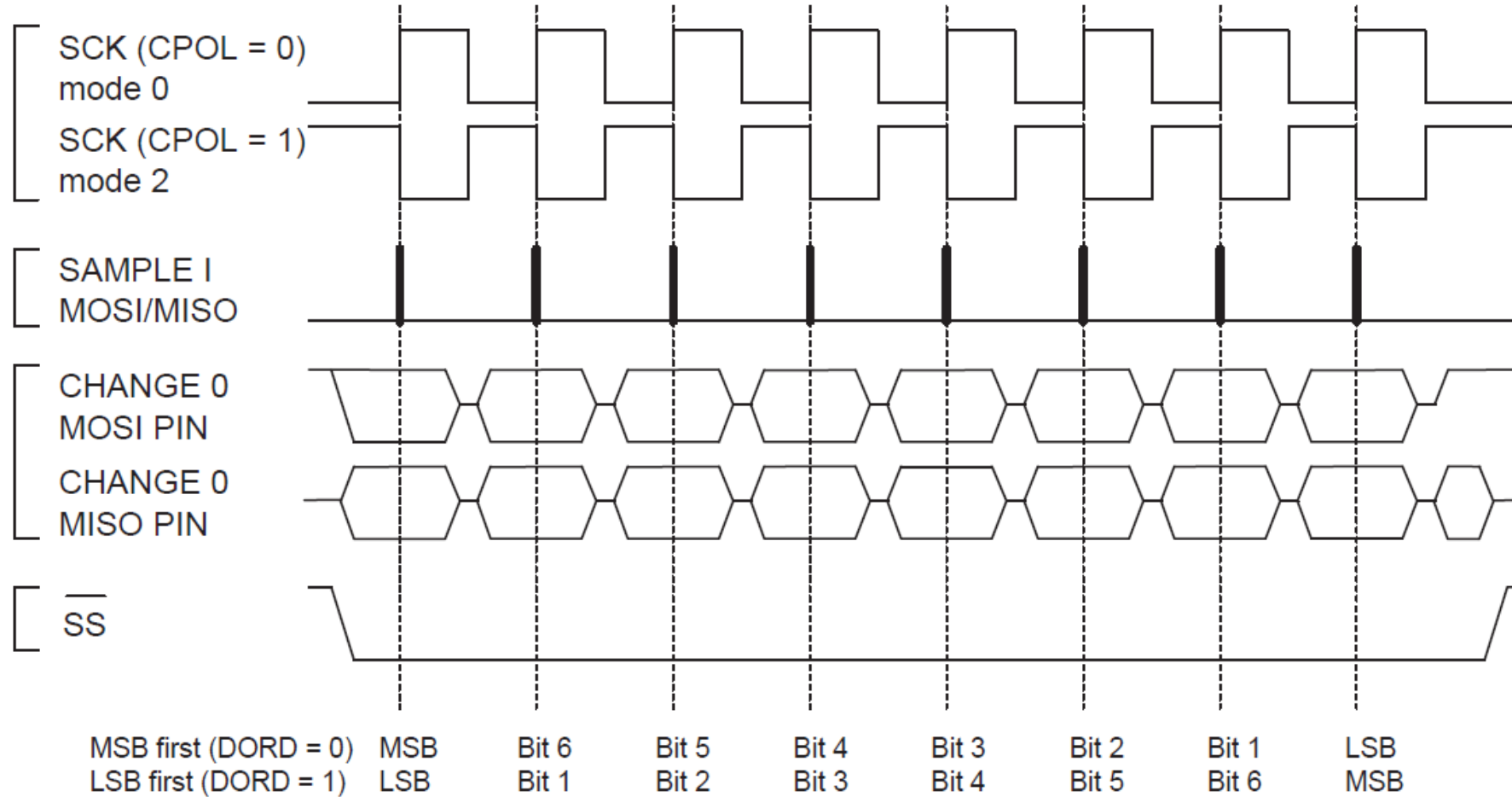


Přenos dat, polarita hodin a fáze

- Neřeší se potvrzování (ACK/NACK) – master se nemusí ani dozvědět, že jeho data nikdo nečte
- Slave nemá možnost zpomalit přenos, pokud nestíhá, jako u I²C
- Klidová úroveň hodin může být „1“ nebo „0“
- Data se berou jako platná buď na vzestupné nebo sestupné hraně hodin
- Celkem tedy 4 kombinace, jak může sběrnice fungovat
- Označení jako mód 0 až 3
- V MCU lze nastavit pomocí příslušných registrů
- U neprogramovatelných obvodů nutno ověřit, které módy podporují

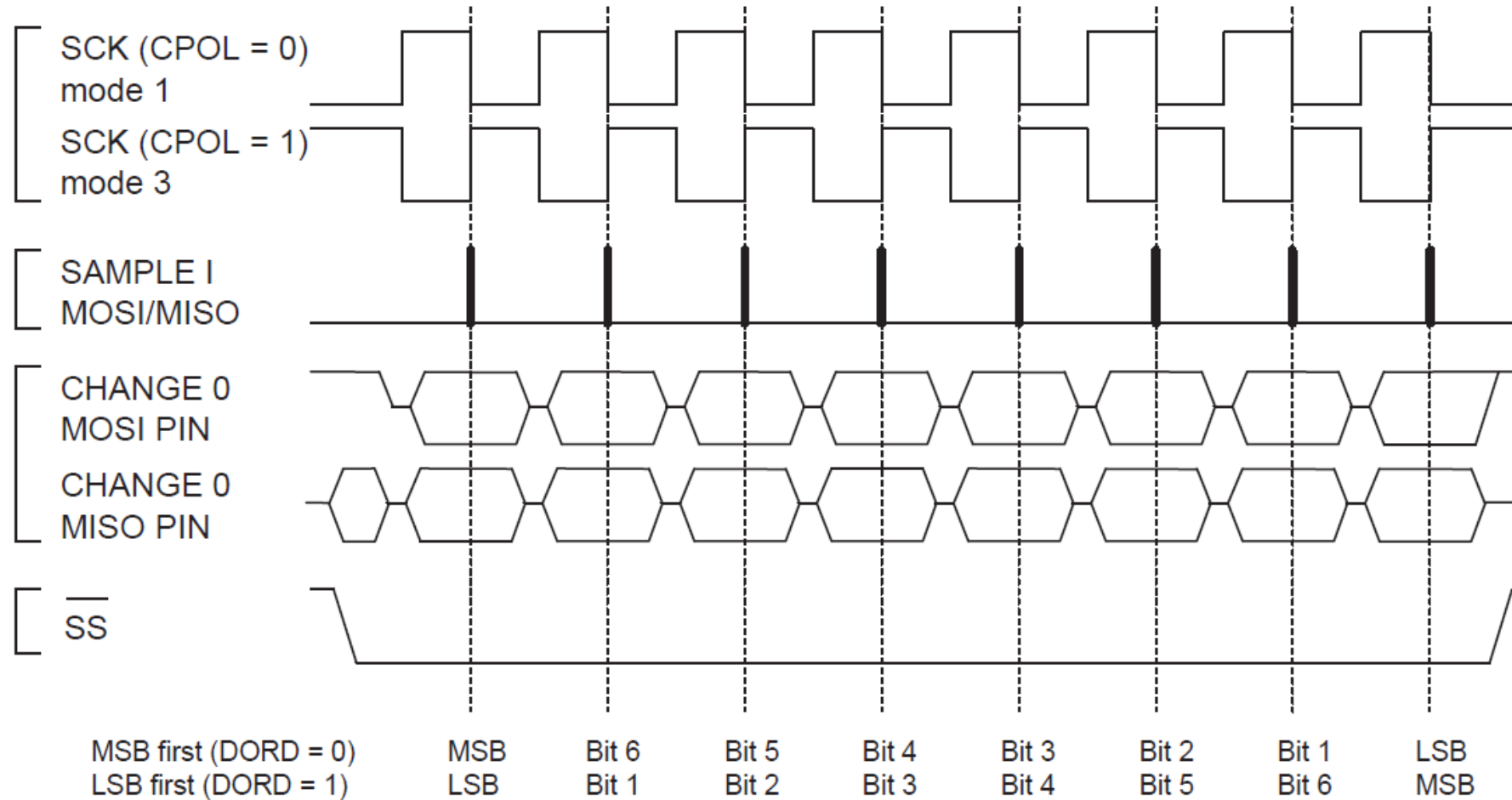


Mód 0 a 2





Mód 1 a 3



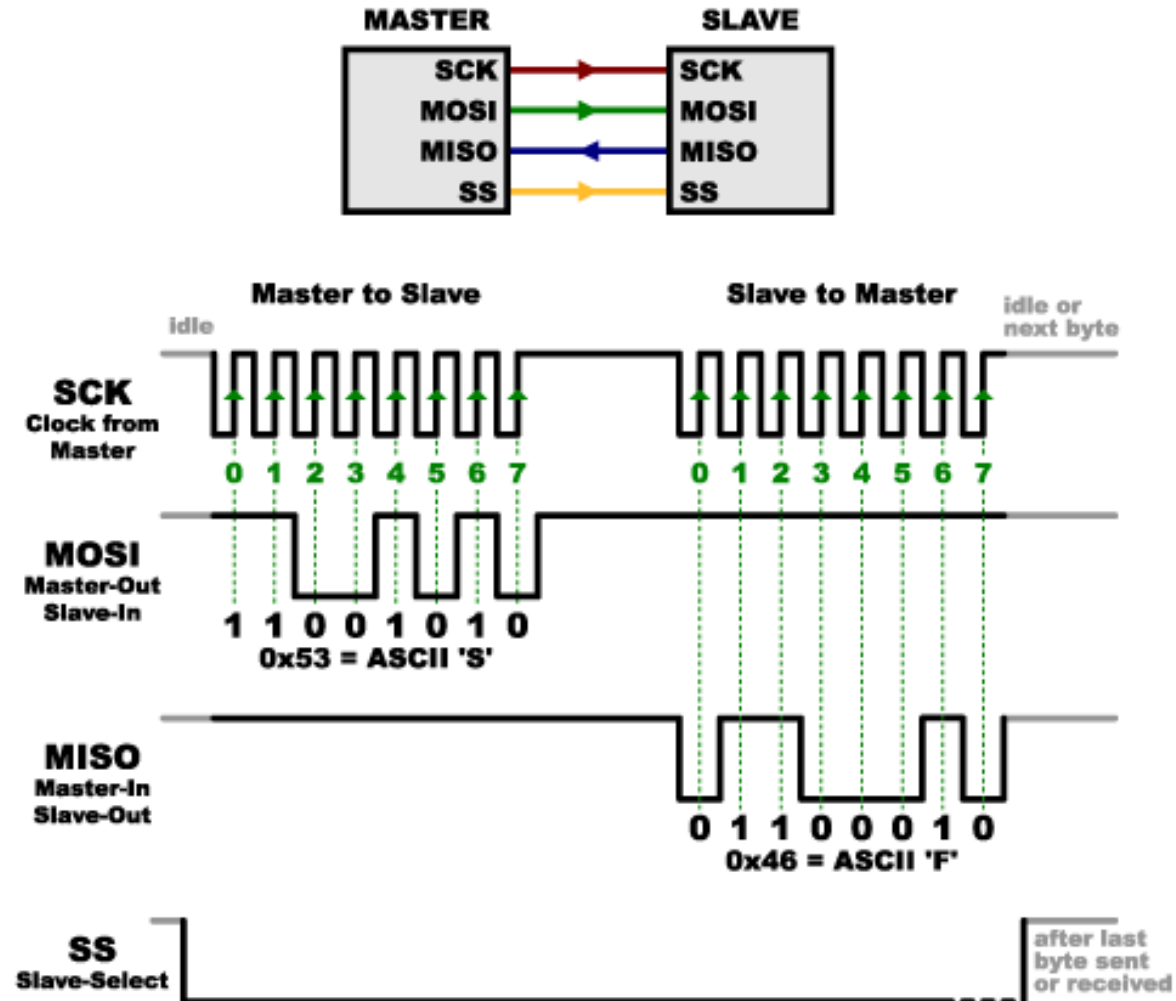
Přenos dat

Jednoduchý příklad:

- 1 master
- 1 slave

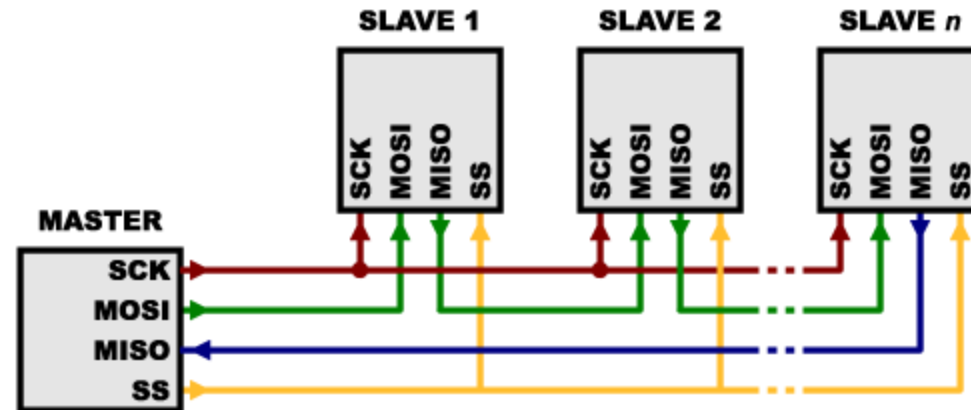
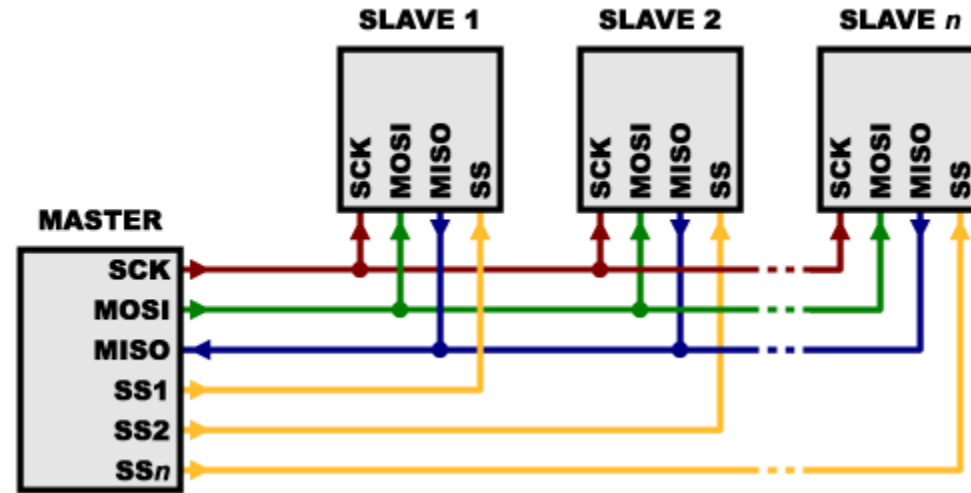
Mód 3:

- SCK v klidu „1“
- Aktivní vzestupná hrana



Uspořádání

- Pro více slave zařízení na sběrnici je potřeba použít další SS vodiče
- V případě mnoha zařízení to může být dost nepraktické – blokuje mnoho pinů MCU
- Lze obejít použitím dekodéru/demultiplexoru
- Nebo zapojení daisy-chain





Elektrické vlastnosti

- Sběrnice nemá pull-up rezistory
- U každého vodiče jasně dáno, které zařízení je zodpovědné za generování signálu
- Aktivní budiče na výstupech
- Maximální délka sběrnice závisí na více faktorech
 - Kapacita vedení – typ vodiče/DPS
 - Rychlost hodin – 10 MHz bude jistě fungovat na kratší vzdálenost než 1 MHz
 - Napěťové úrovně
 - činný odpor vodičů/cest na DPS

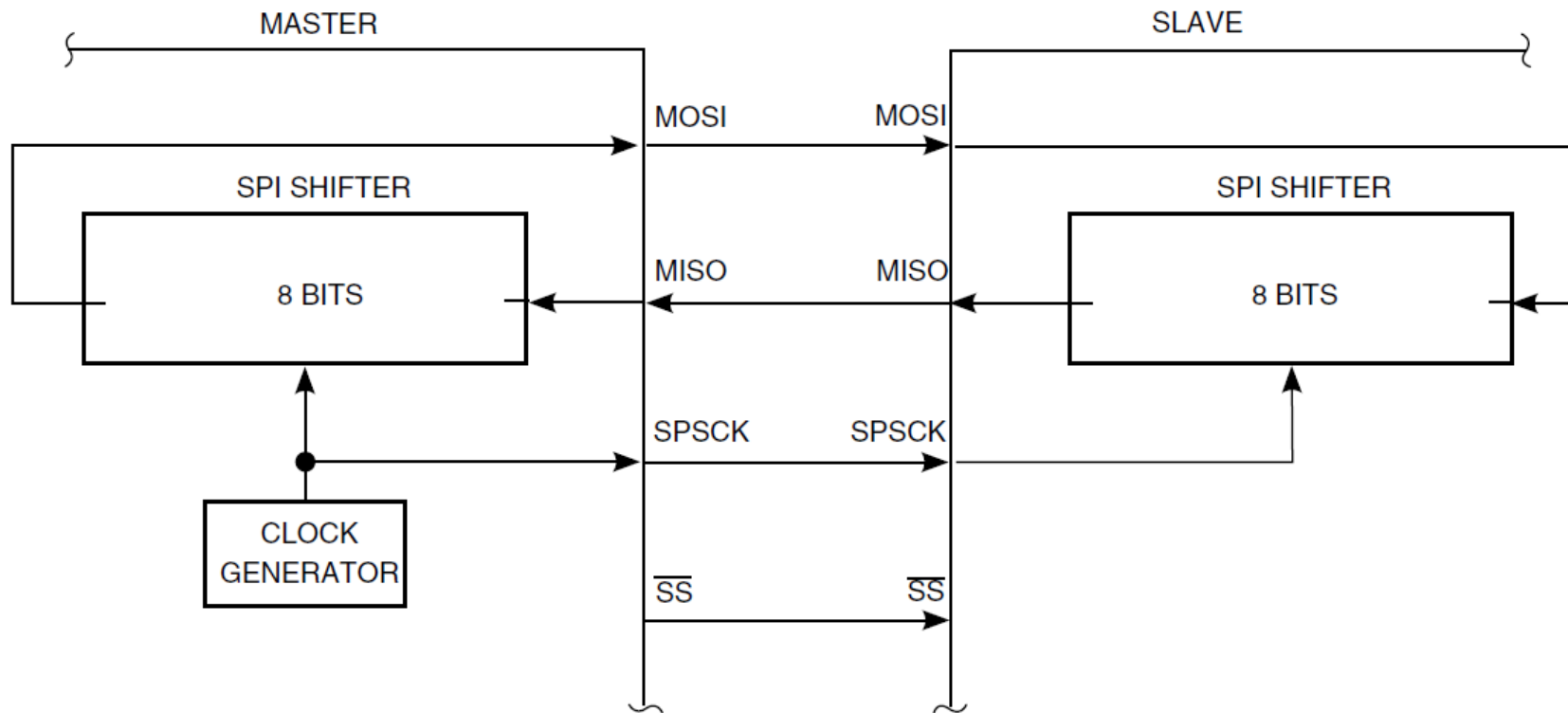


Periferie SPI

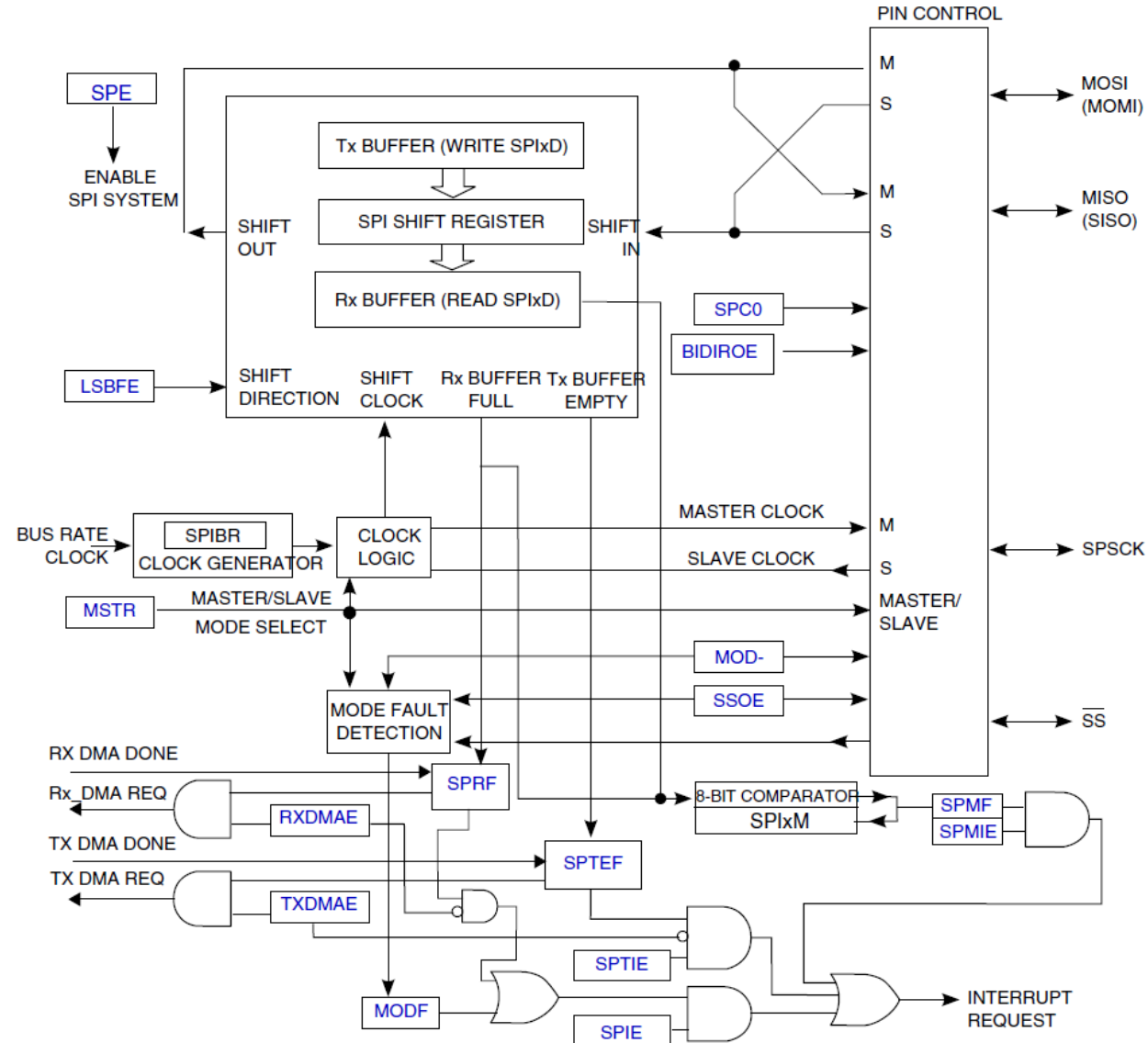
- Master nebo slave konfigurace
- Full-duplex nebo single-wire mód
- Programovatelná rychlost
- Konfigurace hodinového signálu
- Podpora DMA

Hardware

- Základním prvkem HW pro SPI v zařízení je posuvný registr



Blokové schéma





Control register

- SPI control register 1 (SPIx_C1)

Address: 4007_6000h base + 0h offset = 4007_6000h

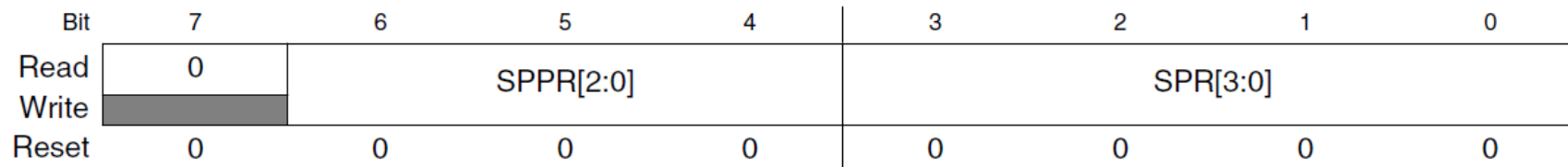
| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|---|---|---|---|---|---|---|---|
| Read | | | | | | | | |
| Write | | | | | | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |

- SPIE – SPI interrupt enable: for SPRF and MODF
- SPE – SPI system enable
- SPTIE SPI transmit interrupt enable
- MSTR – Master/slave mode select
- CPOL – Clock polarity
- SSOE – Slave select output enable
- LSBFE – LSB first (shifter direction)

Baudrate register

- SPI baud rate register (SPIx_BR)

Address: 4007_6000h base + 2h offset = 4007_6002h



- SPPR – SPI baud rate prescale divisor
- SPR – SPI baud rate divisor

Status register

- SPI status register (SPIx_S)

Address: 4007_6000h base + 3h offset = 4007_6003h

| Bit | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|----------|------|-------|------|---|---|---|---|
| Read | SPRF | SPMF | SPTEF | MODF | 0 | | | |
| Write | [Shaded] | | | | | | | |
| Reset | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |

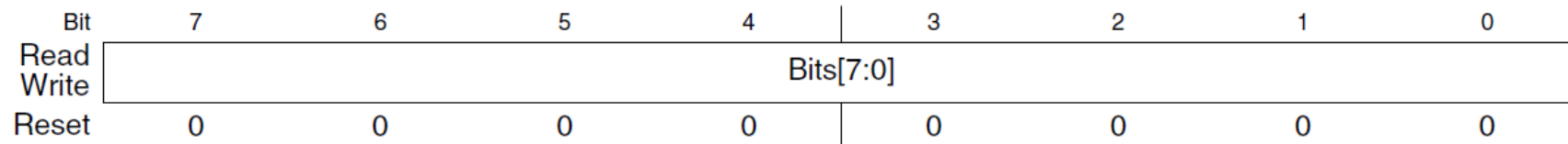
- SPRF – SPI read buffer full flag
- SPMF – SPI match flag
- SPTEF – SPI transmit buffer empty flag
- MODF – Master mode fault flag



Data register

- SPI data register (SPIx_D)

Address: 4007_6000h base + 5h offset = 4007_6005h





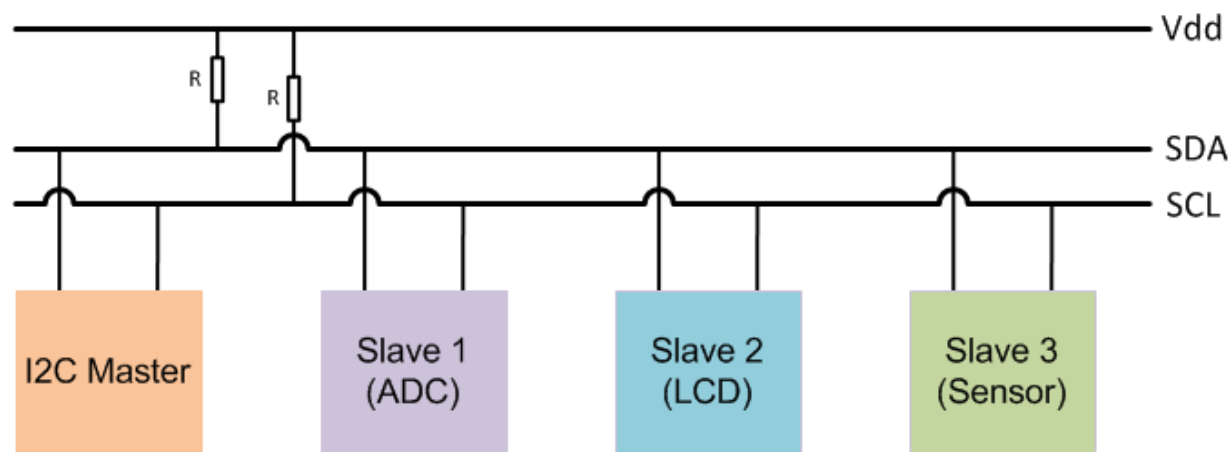
Úvod – I²C

- Inter-Integrated Circuit
- Vyvinuto firmou Phillips v 80. letech
- Komunikace mezi IO v rámci jedné DPS (obecně na krátkou vzdálenost)
- Dvouvodičová synchronní sběrnice (+společná zem)
 - SDA (data)
 - SCL (hodiny)
 - GND
- Kompletní [specifikace a manuál](#) na webu NXP



Účel

- Příklad: spojení mezi mikrokontrolérem a dalšími zařízeními
- EEPROM
- Senzory
- Hodiny reálného času
- Drivery LCD/LED displejů
- ADC nebo DAC





Vlastnosti

- Adresování řešeno SW – první byte zprávy
 - rozdíl oproti SPI, kde ke každému zařízení musí vést adresní vodič
- Multimaster sběrnice s detekcí kolizí
- Sériový přenos dat – po 8 bitech
- Half duplex – v jednom okamžiku přenos dat pouze jedním směrem (mám jen jeden sdílený datový vodič)
 - Je potřeba kontrolovat a řídit přístup k e sběrnici
- Pevně daný komunikační protokol (na rozdíl od SPI)



Terminologie

| | |
|-----------------|--|
| Transmitter | Odesílá data na sběrnici |
| Receiver | Přijímá data ze sběrnice |
| Master | Může odstartovat přenos dat, adresovat jiná zařízení a ukončit přenos, generuje hodinový signál |
| Slave | Podléhá adresování master zařízení |
| Arbitration | Procedura zajišťující, že pokud se dvě master zařízení snaží naráz zapisovat na sběrnici, je vybráno pouze jedno a jeho zpráva nebude narušena |
| Synchronization | Synchronizace hodinových signálů dvou a více zařízení |

- **Poznámka:** Jak master tak i slave mohou fungovat jako transmitter i receiver



Arbitráž podrobněji

- Nutná pokud je na sběrnici více master zařízení
- Každé master zařízení může začít vysílat pouze tehdy, je li sběrnice volná
 - Kontrola, zda na obou vodičích je log „1“.
- Přesto se může stát, že dvě master zařízení začnou vysílat současně
- Master musí kontrolovat, že stav sběrnice odpovídá tomu, co sám vysílá
- Pokud je na sběrnici „0“, zatímco vysílá „1“, je jasné, že na ni přistupuje jiný master a svoje vysílání musí ukončit



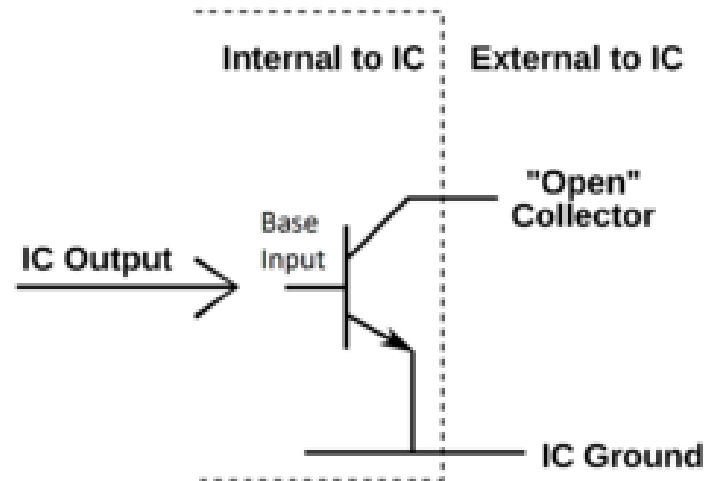
Maximální rychlosti

| | |
|----------------|------------|
| Standard mode | 100 kbit/s |
| Fast mode | 400 kbit/s |
| Fast mode plus | 1 Mbit/s |
| High speed | 3,4 Mbit/s |

- Rychlost přenosu udává master frekvencí hodin (vodič SCL)
 - Slave zařízení se podřídí
 - Rychlost celé sběrnice volíme podle nejpomalejšího zařízení
- Například pokud bude master taktovat celou sběrnici na 1 kHz, bude přenosová rychlost pouze 1kbit/s (přibližně)

Elektrické vlastnosti

- Klidové napěťové úrovně na vodičích zajišťují pull-up rezistory
- Nečinná sběrnice má tedy na obou vodičích log. „1“
- Připojení: *open-collector*, *open-drain* – unipolární součástky
- Zařízení může vodiče pouze přizemnit nebo nechat být
- Pull-up rezistory je zpět „vytáhnou“ na VDD





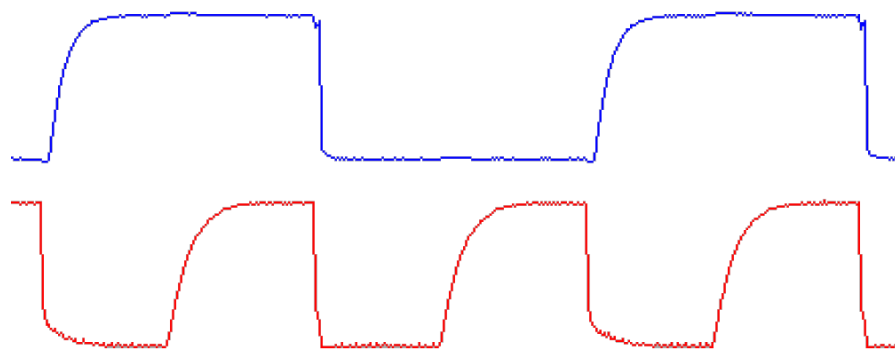
Omezení

- Počet zařízení omezen počtem dostupných adres
- Fyzická velikost - délky vodičů – omezeno celkovou kapacitou 400pF
- Do této hodnoty rostoucí kapacitu sběrnice kompenzují nižší hodnoty pull-up rezistorů
- Musí propustit dostatečný proud, aby se kapacita sběrnice stihla nabít do log. „1“ v čase vymezeném periodou hodin

$R_p = 10 \text{ k}\Omega$

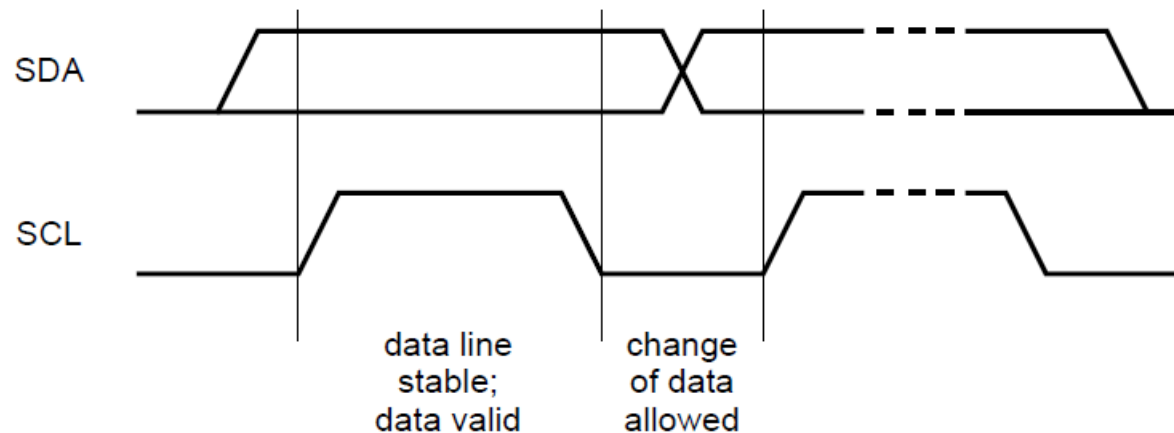
$C = 150 \text{ pF}$

Clock 100 kHz



Napětové úrovně & platnost dat

- Úrovně pro logickou „0“ (LOW) a „1“ (HIGH) nejsou pevné
- Odvozeno od napájecího napětí sběrnice V_{DD}
- $V_L = 0,3 V_{DD}$
- $V_H = 0,7 V_{DD}$
- Po dobu logické „1“ na SCL musí být úroveň na SDA neměnná



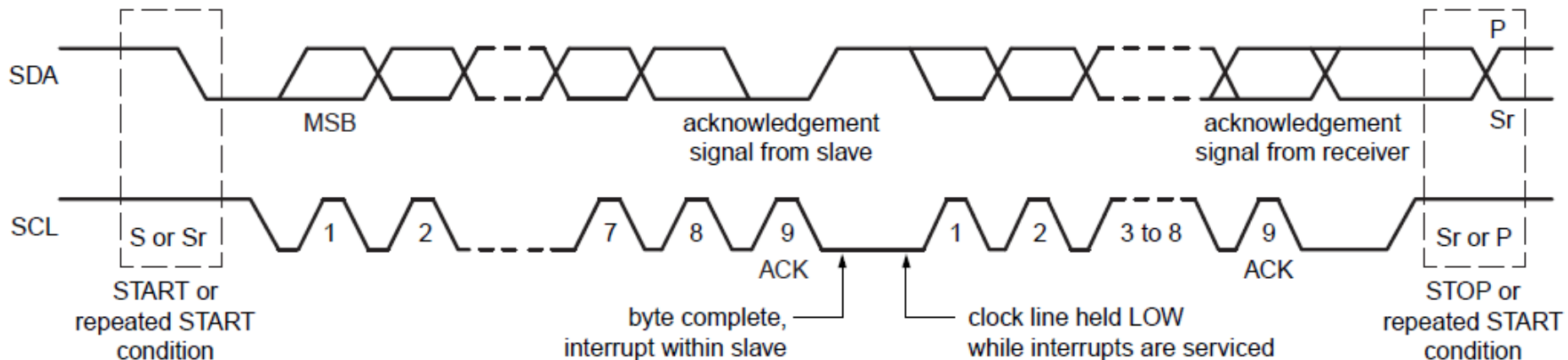


Start & stop condition

- Klidová úroveň sběrnice je log „1“
- Každý přenos musí být započat respektive ukončen start/stop podmínkou
- Ty může generovat pouze master
- Jednoznačně definováno jako změna úrovně na SDA při SCL v „1“
 - během komunikace se taková kombinace jinak nevyskytuje

Přenos dat

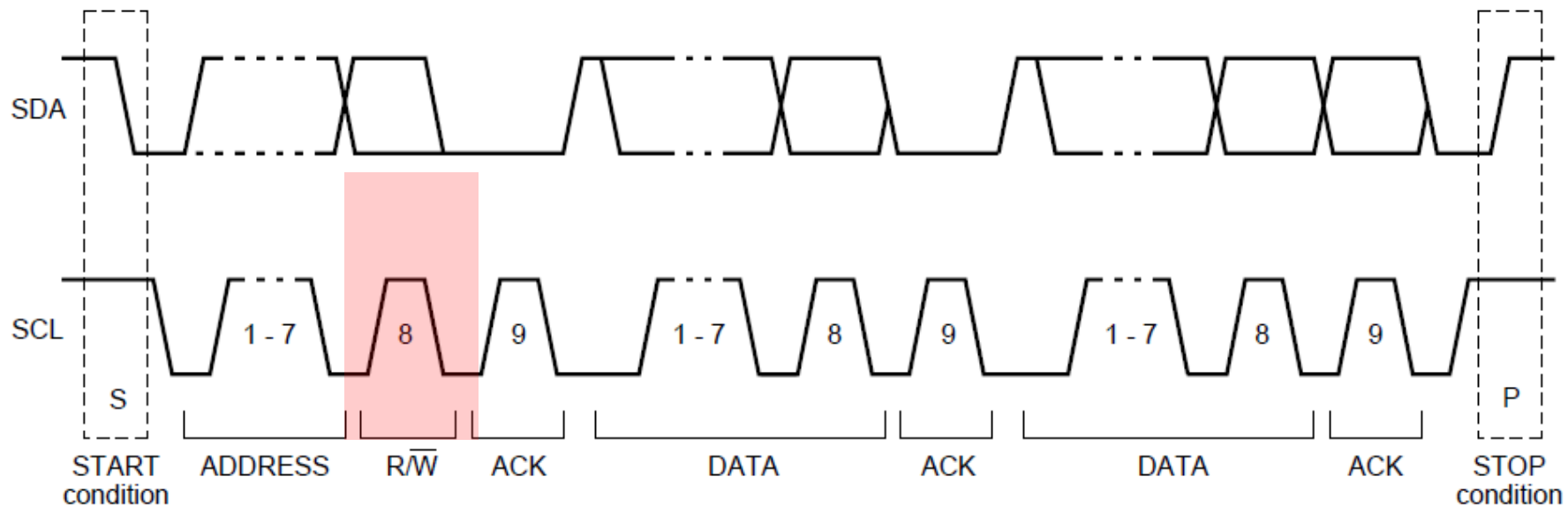
- Každý byte zapsaný na sběrnici musí mít 8 bitů
- Pořadí bitů: MSB first
- Počet bajtů přenesených naráz neomezen
- Povinně následuje ACK (NACK) bit
- V případě, že slave nestíhá přijímat data, má právo podržet SCL ve stavu „0“ (Clock stretching)





Přenos dat

- Adresa má 7 bitů
- Osmý bit určuje, zda master chce do zařízení zapisovat nebo z něj číst
- Následují datové bajty vždy spolu s ACK





Adresování

- 7 bitů umožňuje maximálně 128 různých adres
- Některé adresy jsou rezervované – dostupný počet je tedy menší, než 128
- Například 0000000 0 je broadcastová adresa – data přijdou všem zařízením na sběrnici
- Novější standard přinesl 10 bitové adresy – 1024 možností
- Rozšířené adresování ale nepodporují všechna zařízení
- Zájemci najdou podrobnosti přímo ve [specifikaci](#)

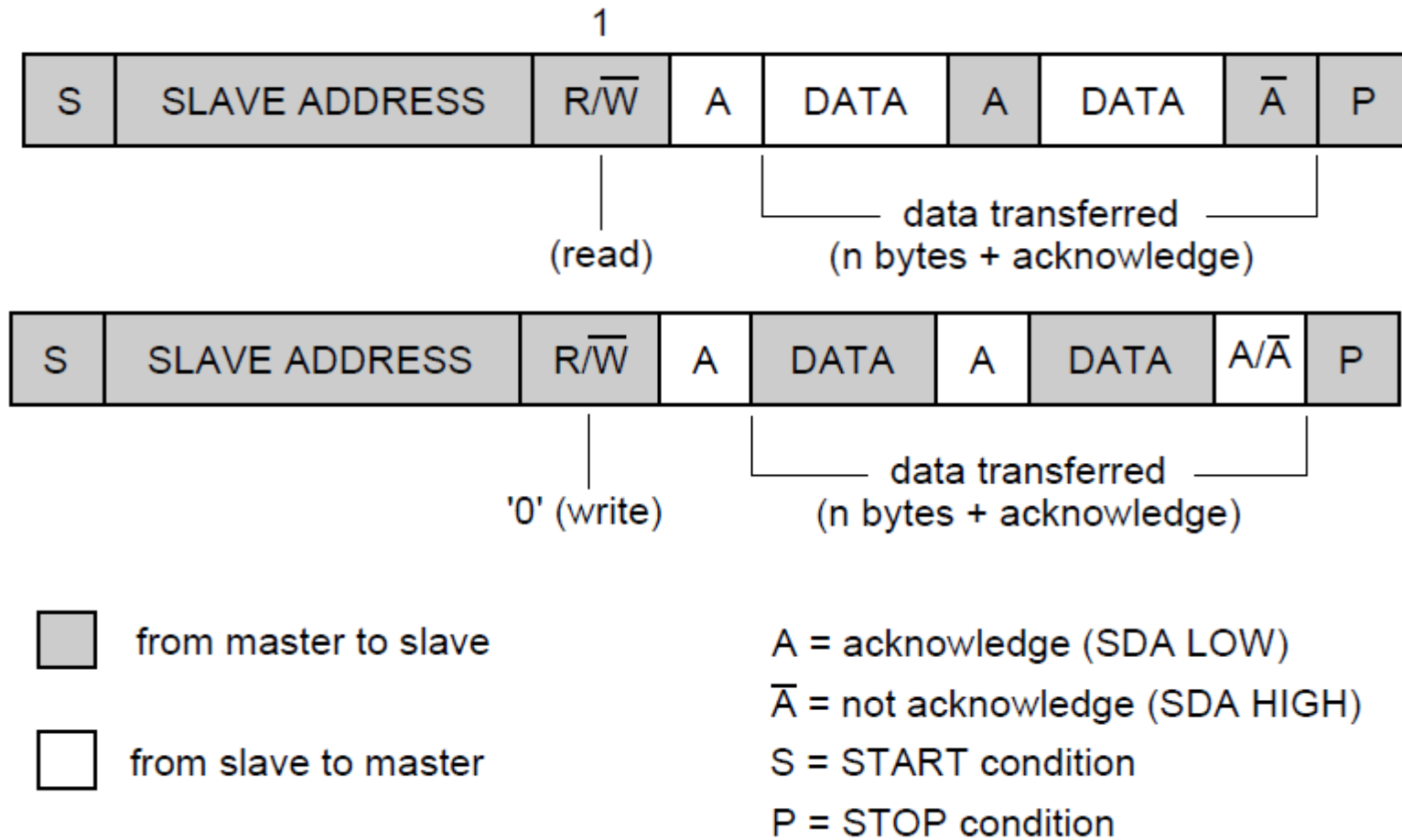


Adresování

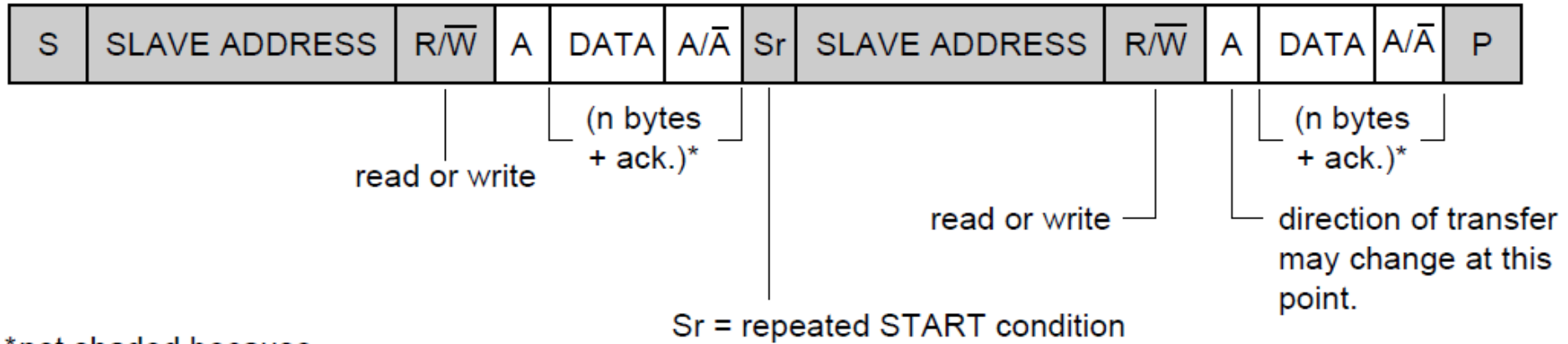
- Tabulka rezervovaných adres

| Adresa | Použití |
|-----------|---|
| 0000000 0 | Broadcastová adresa (<i>general call address</i>) |
| 0000000 1 | Start Byte |
| 0000001 X | CBUS adresy Adresa je rezervována pro připojení CBUS přijímačů, které mají odlišný formát komunikace, na I ² C sběrnici. I ² C zařízení ignorují zprávy s touto adresou. |
| 0000010 X | Reservováno pro odlišné komunikační protokoly na stejné sběrnici. |
| 0000011 X | Reservováno pro budoucí použití |
| 00001XX X | Zahájení vysokorychlostního přenosu – kód master zařízení |
| 11110XX X | 10bitové adresování |
| 11111XX X | Reservováno pro budoucí použití |

Zápis/čtení



Zápis + čtení kombinaně



*not shaded because transfer direction of data and acknowledge bits depends on R/W bits.

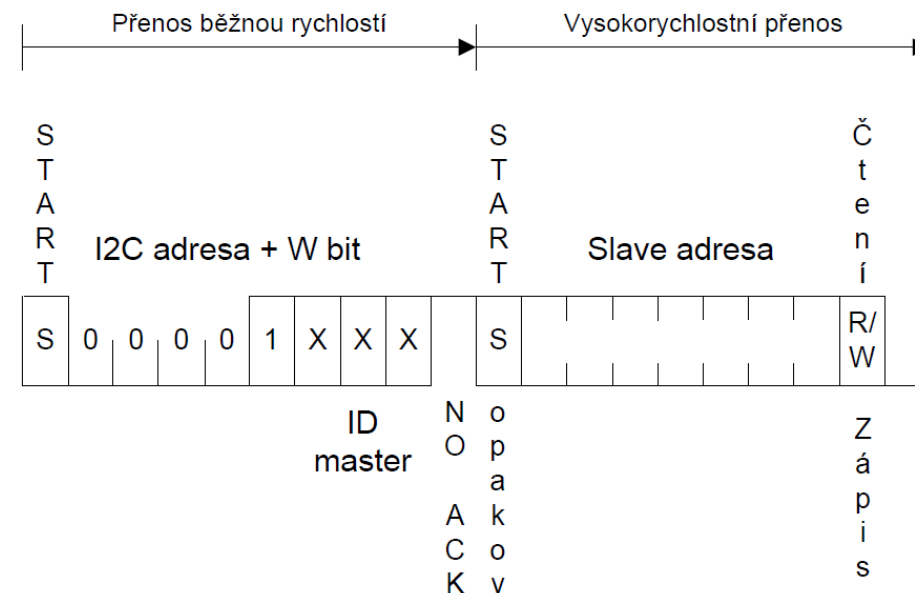
- from master to slave
- from slave to master

- A = acknowledge (SDA LOW)
- Ā = not acknowledge (SDA HIGH)
- S = START condition
- P = STOP condition



Vysokorychlostní přenos

- Po start bitu následuje master code 0000 1XXX a NACK bit
- Počáteční přenos probíhá běžnou rychlostí (a lze provést arbitráž)
- Po master code začíná vysokorychlostní přenos
- Stop bit vysokorychlostní přenos ukončuje





Srovnání a shrnutí

| SPI | I²C |
|--|--|
| 3 vodiče + zem + adresní pro každý slave | 2 vodiče + GND |
| HW adresování | SW adresování |
| Full-duplex | Half-duplex |
| Rychlost řádově MHz – Mbity/s | Běžná rychlost 100 nebo 400 kbit/s |
| Jednodušší, bez protokolu a potvrzování | Daný komunikační protokol, potvrzování |
| Bez pull-up rezistorů | Pull-up rezistory |
| | Připojení open-collector/open drain |



Děkuji za pozornost



Čítače a časovače I.

Přednáška 9



Náplň přednášky 9

- SysTick
- Periodic Interrupt Timer (PIT)
- LP Timer
- RTC



Terminologie

- Čítač (counter): sekv. obvod, který na základě událostí (často jde o vnější signál) mění (obvykle inkrementuje) hodnotu celkového počtu událostí.
- Časovač (timer): sekv. obvod, který ve stanoveném čase generuje události (obvykle periodicky).
- Časovač lze pokládat za spec. případ čítače, tj. takový čítač, který mění hodnotu s definovanou frekvencí.
- Down-counting timer – dekrementace, up-counting timer – inkrementace.
- Modulo hodnota: slouží k určení limitní (down-counting t. -> startovací, up-counting t. -> konečná) hodnoty časovače.
- Pozor, hodnota 0 je také součástí sekvence čítače/časovače.



SysTick

- Standardní časovač ARM Cortex-M, nezávislý na platformě.
- Generovaná událost – výjimka 15 (syst. výjimka).
- 24-bitový down-counting timer.
- SysTick Control and Status – konfigurační registr
 - TICKINT – exception enable
 - ENABLE – timer runs
 - COUNTFLAG – příznak přetečení
 - CLKSOURCE – zdroj hodin (1 – core clock, 0 – core clock/16)
- SysTick Reload Value – maximální hodnota
- SysTick Current Value – aktuální hodnota
- SysTick Calibration Value – u Kinetis vždy 0

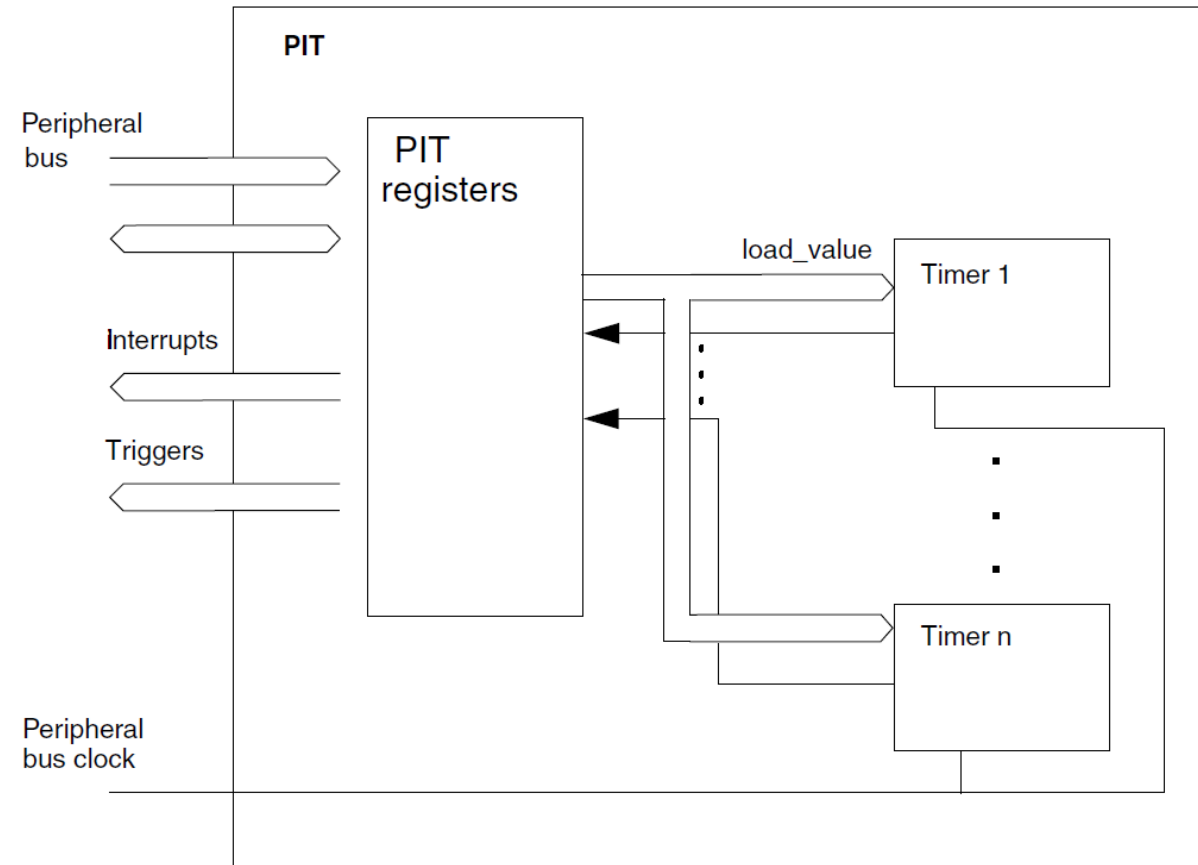
| Name | Address | Description |
|----------------------------|------------|--|
| SysTick Control and Status | 0xE000E010 | basic control of SysTick e.g. enable, clock source, interrupt or poll |
| SysTick Reload Value | 0xE000E014 | value to load Current Value register when 0 is reached |
| SysTick Current Value | 0xE000E018 | the current value of the count down. |
| SysTick Calibration Value | 0xE000E01C | might contain the number of ticks to generate a 10ms interval and other information, depending on the implementation |



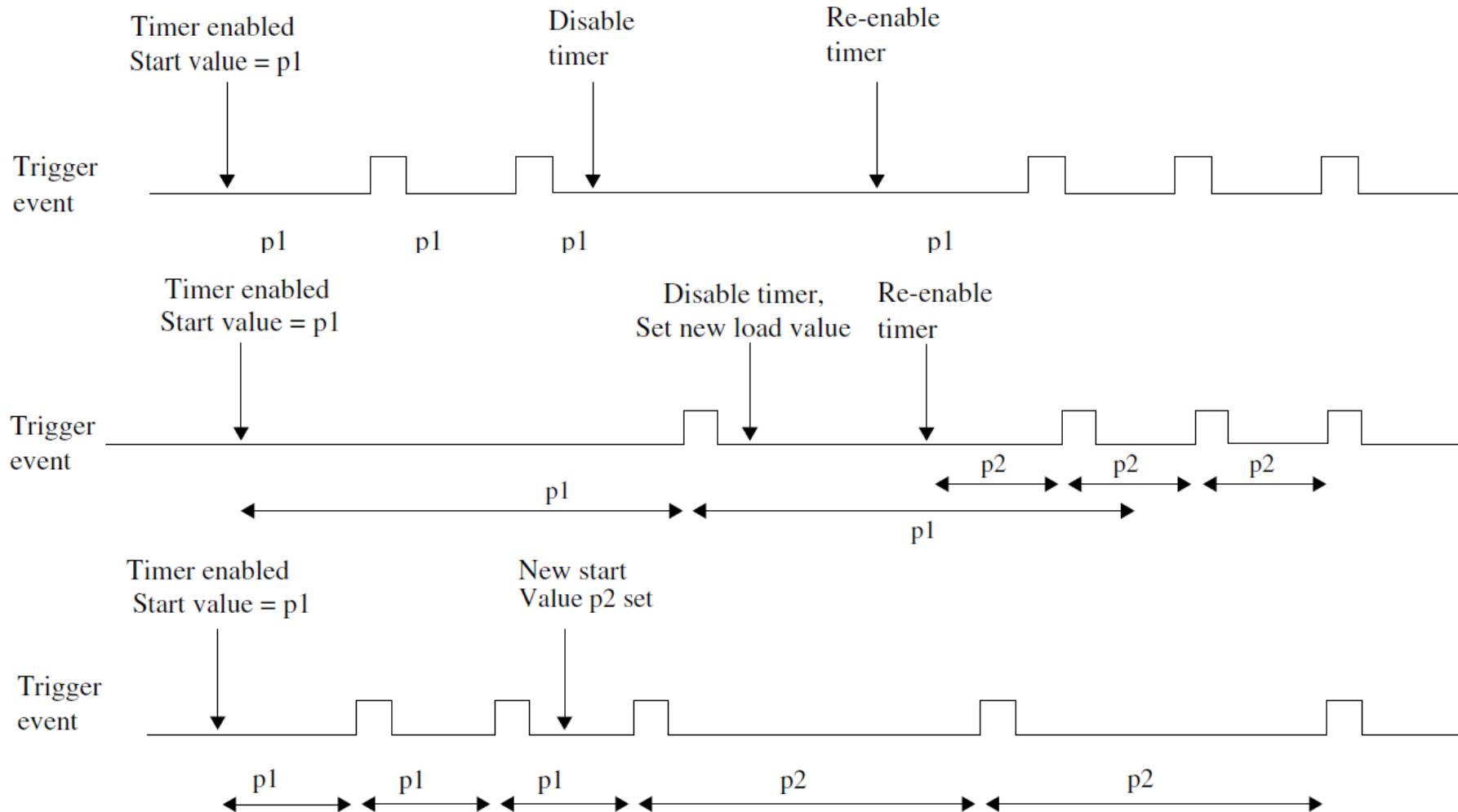
Periodic Interrupt Timer (PIT)

- PIT generuje časové značky v periodických intervalech.
- Časovač načte výchozí hodnotu LDVAL a dekrementuje ji až do nuly a poté ji načte znova.
- Pokaždé, když dočítá 0, vygeneruje značku a nastaví interrupt flag.
- Má šířku 32 bitů.
- V Kinetis L má 2 kanály

Blokové schéma PIT



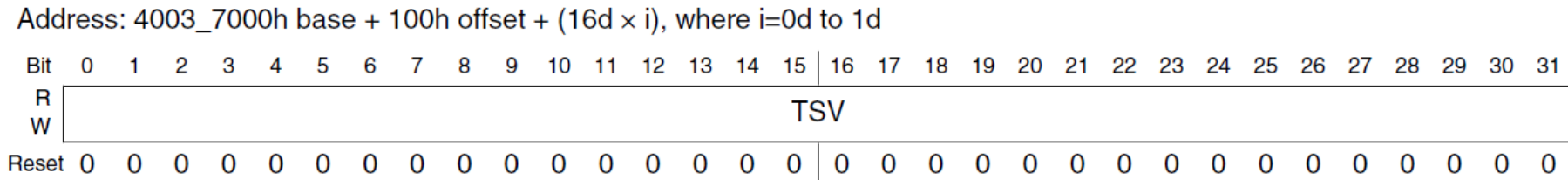
Scénáře použití



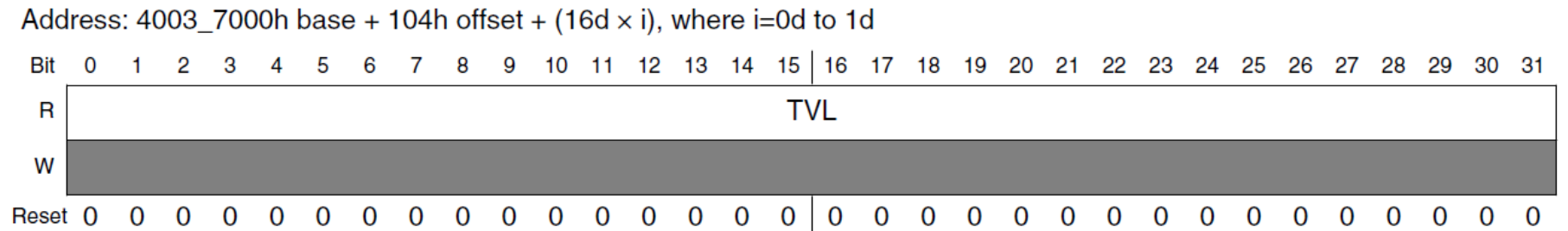


Hlavní registry

- Timer Load Value Register (PIT_LDVALn)



- Current Timer Value Register (PIT_CVALn)





Konfigurační bity

- Timer Control Register (PIT_TCTRLn)
 - CHN – Chain Mode
 - TIE – Timer Interrupt Enable
 - TEN – Timer Enable
- Timer Flag Register (PIT_TFLGn)
 - TIF – Timer Interrupt Flag
- PIT Module Control Register (PIT_MCR)
 - MDIS – Module Disable
 - FRZT – Freeze



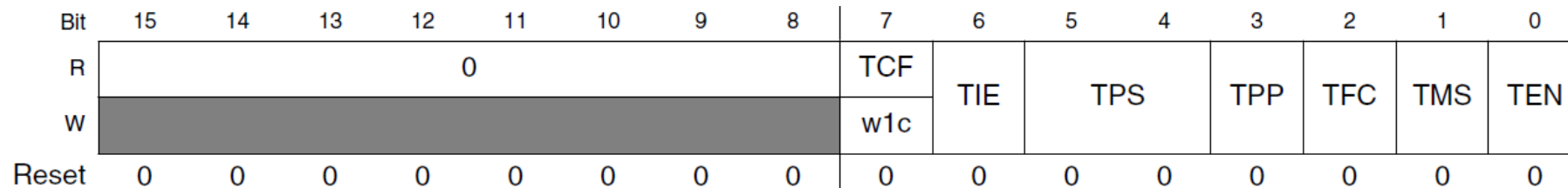
Low-power timer (LPTMR)

- LPTMR je zapnut ve všech low-power módech.
- LPTMR je resetován pouze pro power-on resetu nebo low-voltage detect.
- Časovač má děličku kmitočtu a 4 různé zdroje hodinového signálu.



Konfigurace LPTMR

- Low Power Timer Control Status Register (LPTMRx_CSR)



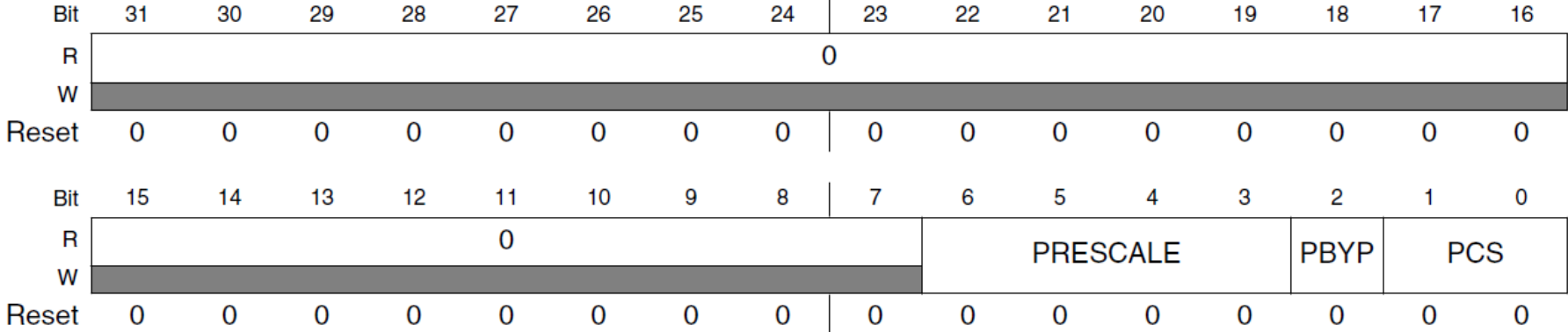
- TCF – Timer Compare Flag
- TIE – Timer interrupt Enable
- TPS – Timer Pin Select (Input selection)
- TPP – Timer Pin Polarity (rising or falling)
- TFC – Timer Free-Running Counter
- TMS – Timer Mode Select (Time of Pulse)
- TEN – Timer Enable



Dělička LPTMR

- Low Power Timer Prescale Register (LPTMRx_PSR)

Address: 4004_0000h base + 4h offset = 4004_0004h



- PRESCALE – Prescaler configuration 2 – 65 536
- PBYP – Prescaler Bypass
- PCS – Prescaler Clock Select

Čítací registry LPTMR

- Low Power Timer Compare Register (LPTMRx_CMR)

Address: 4004_0000h base + 8h offset = 4004_0008h

| Bit | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| R | 0 | | | | | | | | | | | | | | | | COMPARE | | | | | | | | | | | | | | | |
| W | 0 | | | | | | | | | | | | | | | | 0 | | | | | | | | | | | | | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |

- Low Power Timer Counter Register (LPTMRx_CNR)

Address: 4004_0000h base + Ch offset = 4004_000Ch

| Bit | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---------|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| R | 0 | | | | | | | | | | | | | | | | COUNTER | | | | | | | | | | | | | | | |
| W | 0 | | | | | | | | | | | | | | | | 0 | | | | | | | | | | | | | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |



Real Time Clock (RTC)

- Jedná se o hodiny reálného času.
- Umožňují:
 - 32 bit sekundový čítač
 - 32 bit alarm
- RTC je vždy zapnut ve všech low-power módech
- Zdroj je 32.768 kHz externí krystal.



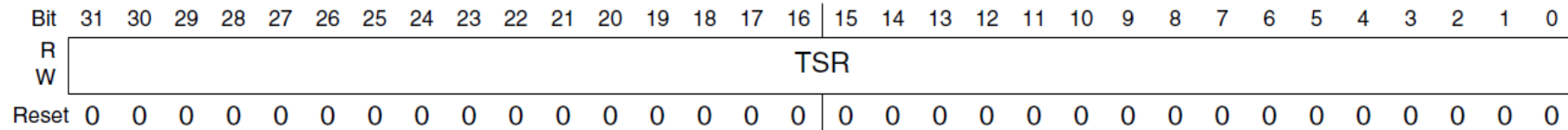
Popis RTC

- 32 bit sekundový čítač se inkrementuje jedenkrát za sekundu.
- 16 bit dělička (prescaler) se inkrementuje s každým načteným cyklem v taktu 32.768 kHz
- RTC umožňuje kompenzaci od 0.12 ppm do 3906 ppm
- RTC má 2 vektory přerušení pro přetečení a alarm.
- Nepodporuje hardwarový kalendář.

Hlavní registry RTC

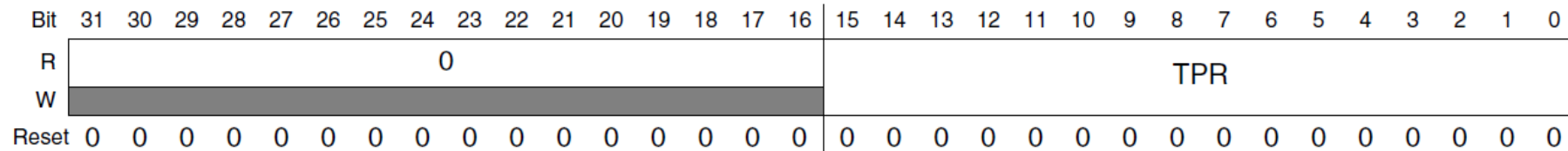
- RTC Time Seconds Register

Address: 4003_D000h base + 0h offset = 4003_D000h



- RTC Time Prescaler Register

Address: 4003_D000h base + 4h offset = 4003_D004h

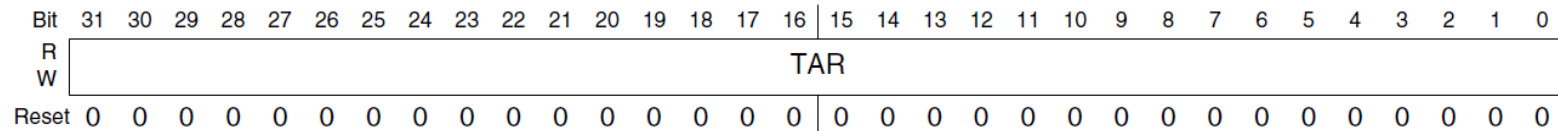




Alarm a kompenzační registry RTC

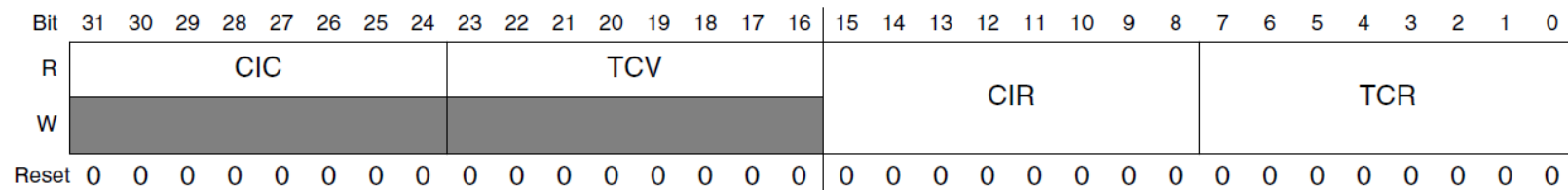
- RTC Time Alarm Register (RTC_TAR)

Address: 4003_D000h base + 8h offset = 4003_D008h



- RTC Time Compensation Register (RTC_TCR)

Address: 4003_D000h base + Ch offset = 4003_D00Ch

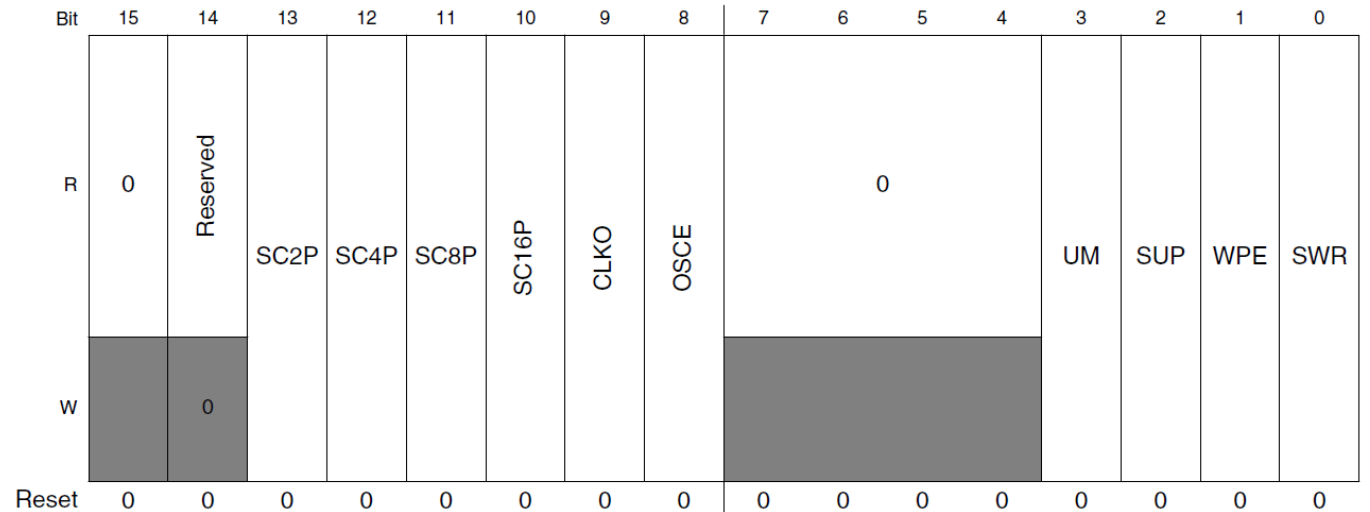


- CIC – Compensation Interval Counter
- TCV – Time Compensation Value
- CIR – Compensation Interval Register
- TCR – Time Compensation Register

Konfigurační registry RTC

- RTC Control Register (RTC_CR)

- SC2P, SC4P, SC8P, SC16P – Oscillator Load Configure
- CLKO – Clock Output (to other peripherals or not)
- OSCE – Oscillator Enable
- UM – Update mode (register locking)
- SUP – Supervisor Access
- WPE – Wakeup Pin Enable
- SWR – Software Reset



Status registry RTC

- RTC Status Register (RTC_SR)

Address: 4003_D000h base + 14h offset = 4003_D014h

| Bit | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|-------|------------|----|----|----|----|----|----|----|----|----|-----|------------|------------|------------|------------|----|
| R | 0 | | | | | | | | | | | | | | | |
| W | [Reserved] | | | | | | | | | | | | | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| Bit | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| R | 0 | | | | | | | | | | TCE | 0 | TAF | TOF | TIF | |
| W | [Reserved] | | | | | | | | | | TCE | [Reserved] | [Reserved] | [Reserved] | [Reserved] | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

- TCE – Time Counter Enable
- TAF – Time Alarm Flag
- TOF – Time Overflow Flag

Ochrané registry RTC

- RTC Lock Register (RTC_LR) – 1 not locked

Address: 4003_D000h base + 18h offset = 4003_D018h

| Bit | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | |
|-------|----------|----|----|----|----|----|----|----|----------|----------|----------|----------|----------|----------|----|----|--|
| R | 0 | | | | | | | | | | | | | | | | |
| W | [Shaded] | | | | | | | | | | | | | | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| Bit | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| R | 0 | | | | | | | | 1 | LRL | SRL | CRL | TCL | 1 | | | |
| W | [Shaded] | | | | | | | | [Shaded] | [Shaded] | [Shaded] | [Shaded] | [Shaded] | [Shaded] | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | |

- LRL – Lock Register Lock
- SRL – Status Register Lock
- CRL – Control Register Lock
- TCL – Time Compensation Lock



Přerušeni od RTC

- RTC Interrupt Enable Register (RTC_IER)

- WPON – Wakeup Pin On
- TSIE – Time Seconds Interrupt Enable
- TAIE – Time Alarm Interrupt Enable
- TOIE – Time Overflow Interrupt Enable
- TIIE – Time Invalid Interrupt Enable

Address: 4003_D000h base + 1Ch offset = 4003_D01Ch

| Bit | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|-------|------------|----|----|----|----|----|----|----|------|----------|------|----------|------|------|------|----|
| R | 0 | | | | | | | | | | | | | | | |
| W | [Reserved] | | | | | | | | | | | | | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| Bit | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| R | 0 | | | | | | | | WPON | Reserved | TSIE | Reserved | TAIE | TOIE | TIIE | |
| W | [Reserved] | | | | | | | | | | | | | | | |
| Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | |



Děkuji za pozornost



Čítače a časovače II.

Přednáška 10



Náplň přednášky 10

- Modul časovače TPM



Timer/PWM Module (TPM)

- TPM je časovač, který obsahuje dva až osm kanálů.
- Základní módy:
 - Input capture
 - Output compare
 - PWM
- Založen na historickém modelu HCS08 – Timer PWM Module.



Input capture

- Pomocí funkce input capture může časovač zachytit okamžik, kdy dojde k vnější události.
- Okamžik je zaznamenán v případě detekce hrany na vstupu časovače dle platné konfigurace.
- V tomto módu je možné generovat přerušení, pokud je danou konfigurací povoleno.
- Mód input capture má tyto možnosti konfigurace:
 - detekce vzestupné hrany,
 - detekce sestupné hrany,
 - detekce vzestupné i sestupné hrany.



Output compare

- Funkce output compare umožňuje generovat časové pulsy s programovatelnou pozicí, polaritou, trváním a frekvencí.
- Když čítač dosáhne hodnoty registru v příslušném kanálu, tak výstup dle daných pravidel provede žádanou akci.
- Tato akce se může přenášet na výstup časovače nebo pouze interně.
- Výstup časovače může samozřejmě generovat přerušení, pokud je v konfiguračním registru povoleno. Mód input capture má tyto možnosti konfigurace:
 - pouze vnitřní (softwarová) akce,
 - překlopení výstupu časovače při dosažení podmínky,
 - nastavení logické nuly na výstupu časovače při dosažení podmínky,
 - nastavení logické jedničky na výstupu časovače při dosažení podmínky.

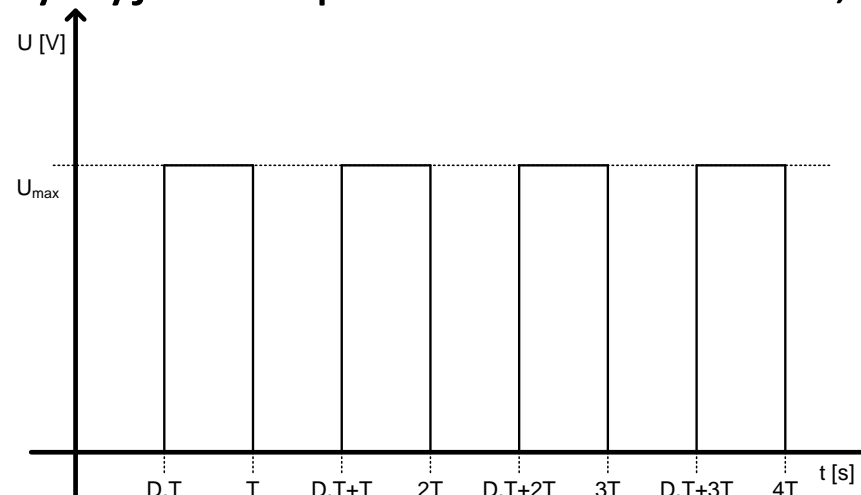


PWM

- Pulsně šířková modulace – PWM (Pulse Width Modulation) je diskrétní modulace pro přenos analogového signálu pomocí dvoustavového signálu.
- Pulsně šířková modulace často využívána ve výkonové elektronice pro řízení velikosti napětí nebo proudu.
- Kombinace zdroje PWM signálu a dolní propusti bývá využívána jako jednoduchá levná náhrada D/A převodníku.

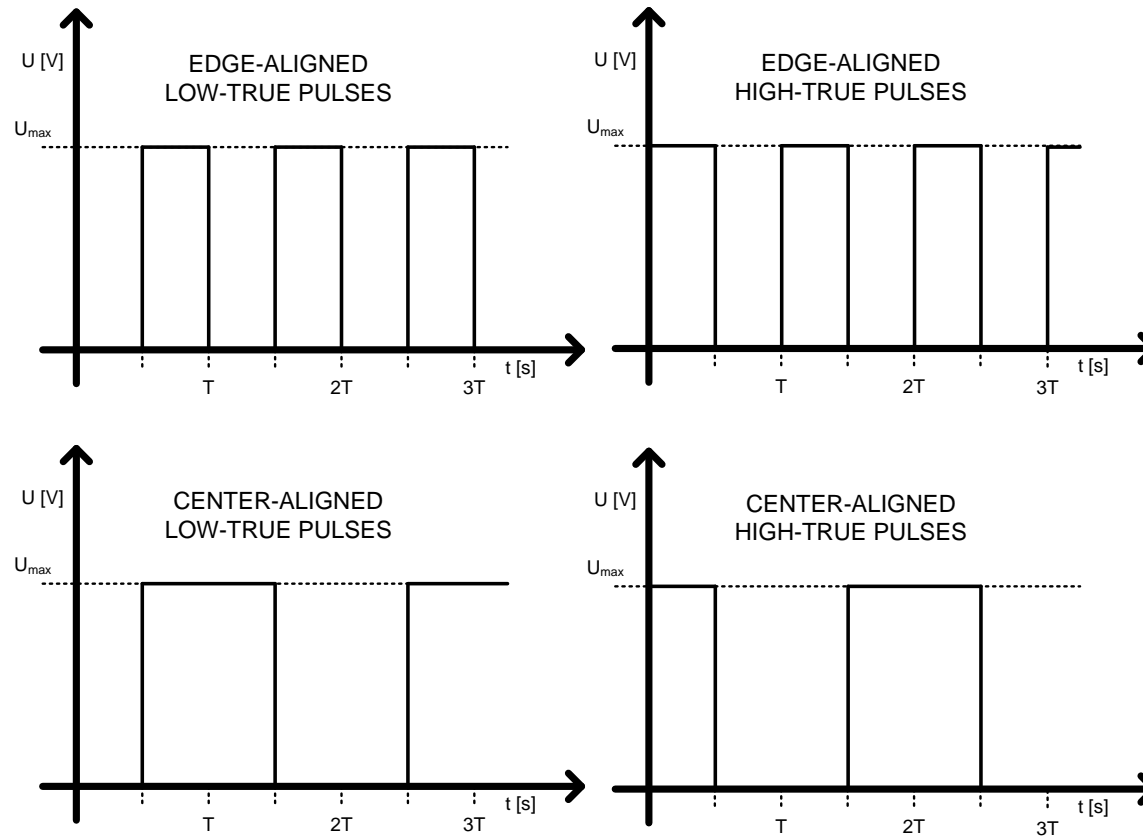
Perioda, střída

- Informace v signálu PWM je přenášena pomocí střídy. Přenosový signál může nabývat hodnot zapnuto/vypnuto tj. log.0/log.1.
- Hodnota přenášeného signálu je v přenosu "zakódována" jako poměr mezi stavy zapnuto/vypnuto. Tento poměr je nazván **střída**.
- Cyklus, kdy dojde k přenosu jedné střídy, je nazván **perioda**. PWM má omezení, protože přenos informace je vždy vyjádřen procentní hodnotou, a to v rozmezí 0 – 100 %.

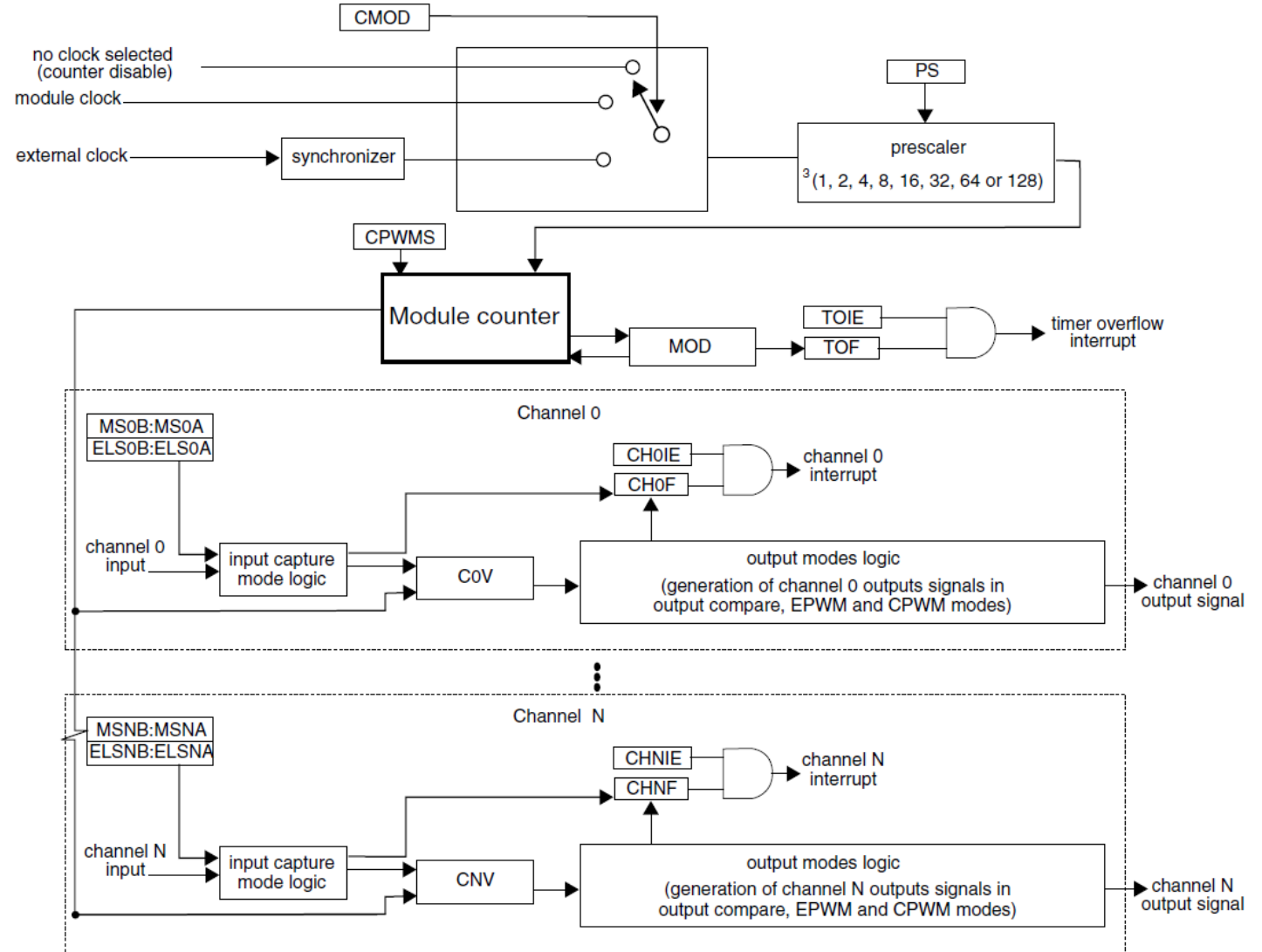




Konfigurovatelné PWM



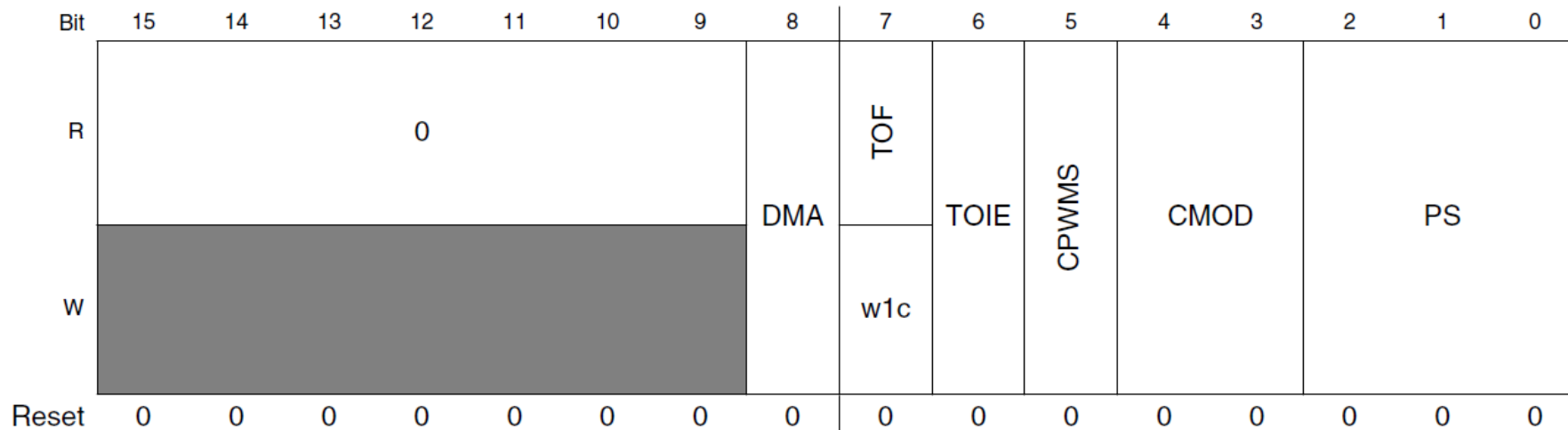
TPM - schéma





Konfigurační registry TPM

- Status and Control (TPM_x_SC)

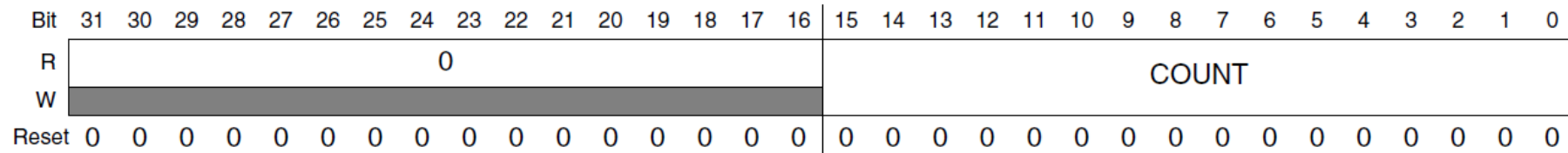


- DMA - DMA Enable
- TOF – Timer Overflow Flag
- TOIE – Timer Overflow Interrupt Enable
- CPWMS – Center-aligned PWM Select
- CMOD – Clock Mode Selection
- PS – Prescale Factor Selection

Čítací registry TPM

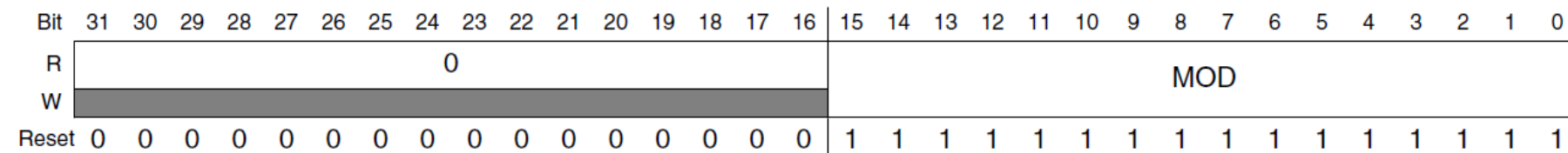
- Counter (TPM_x_CNT)

Address: Base address + 4h offset



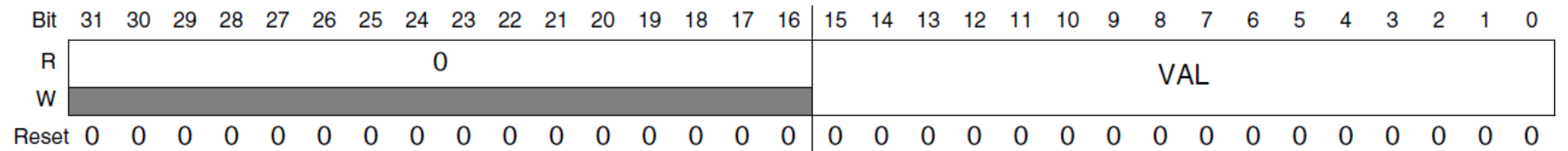
- Modulo (TPM_x_MOD)

Address: Base address + 8h offset



- Channel (n) Value (TPM_x_C_nV)

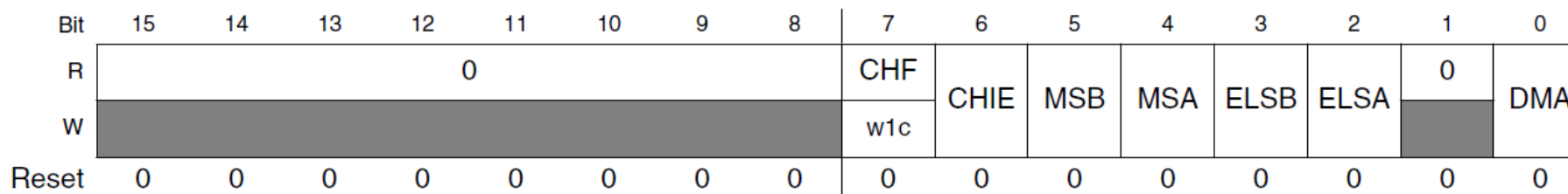
Address: Base address + 10h offset + (8d × i), where i=0d to 5d





Kanálový konfigurační registr

- Channel (n) Status and Control (TPM_x_CnSC)



- CHF – Channel Flag
- CHIE – Channel Model Select
- MSB + MSA – Channel model Select
- ELSB + ELSA – Edge or Level Select
- DMA – DMA Enable



Děkuji za pozornost



Přímý přístup do paměti

Direct Memory Access (DMA)

Přednáška 11

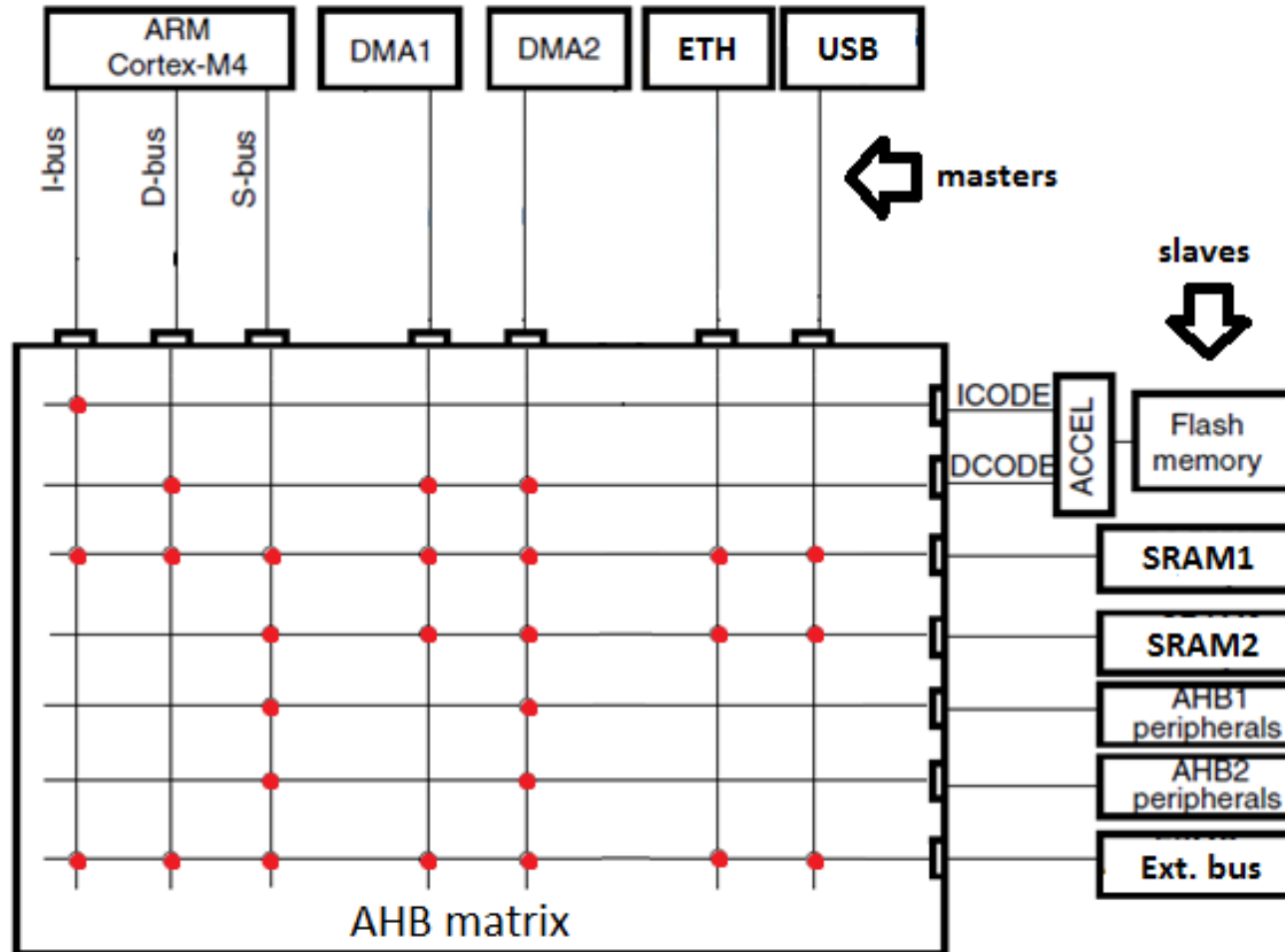


Sběrnice AHB

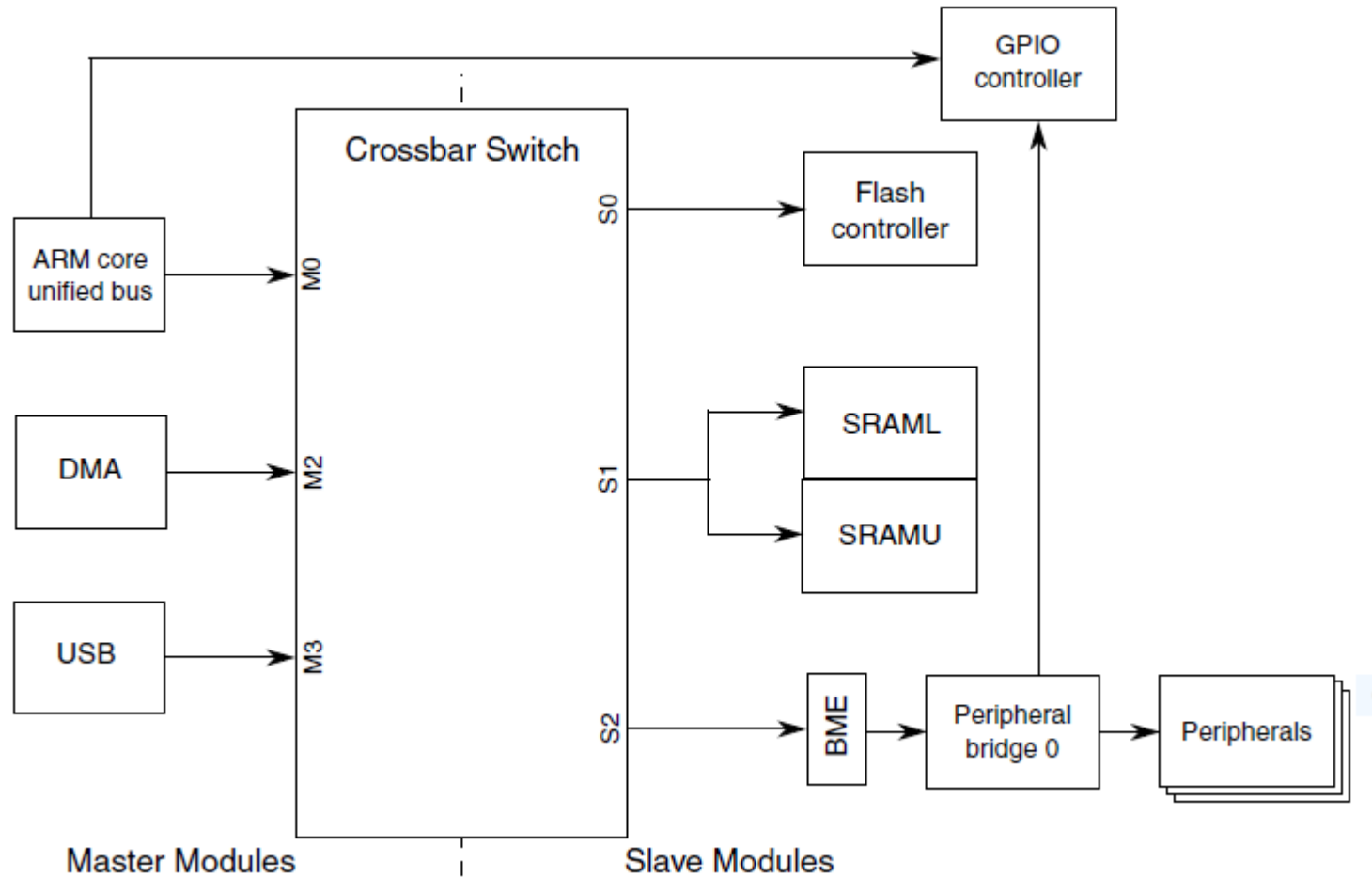
- AHB (Advanced Hi-perf. Bus), sběrnice (nejen) pro SoC s CPU ARM Cortex-M.
- AHB popsána standardem AMBA (Advanced Microcontroller Bus Architecture).
- Jiná sběrnice dle AMBA: AXI (pro Cortex-A).
- AHB má **crossbar** topologii, tj. je možná současná komunikace různých master portů s různými slave porty.
- Všechny master porty nemusí být propojeny se všemi slave porty.
- Arbitráž při souběhu je řešena hardwarově (metody 'fixed priority' nebo 'round-robin', viz. MCM->PLACR, bit ARB).
- Arbitráž je z hlediska programu transparentní.



Sběrnice AHB, příklad implementace



Sběrnice AHB, implementace v KL25Z





Direct Memory Access (DMA) I.

- Technologie umožňující přesuny dat v počítači bez účasti CPU.
- V počítači s AHB sběrnici je prováděna výhradně mezi 2 slave porty.
- Přesuny dat provádí zařízení připojené k jednomu z master portů, tzv. DMA řadič.
- Konfigurační registry DMA řadiče jsou přístupné jako periferní registry, tzn. prostřednictvím příslušného slave portu.
- **Přenos** (transfer): data přenášená v 1 read-write operaci DMA řadiče (KL25Z: 1/2/4 Byte)
- Jednotlivé přenosy tvoří přenášený blok dat.
- Dokončení přenosu bloku dat vede ke generování IRQ *nebo aktivaci jiného DMA kanálu (channel linking)*.



Direct Memory Access (DMA) II.

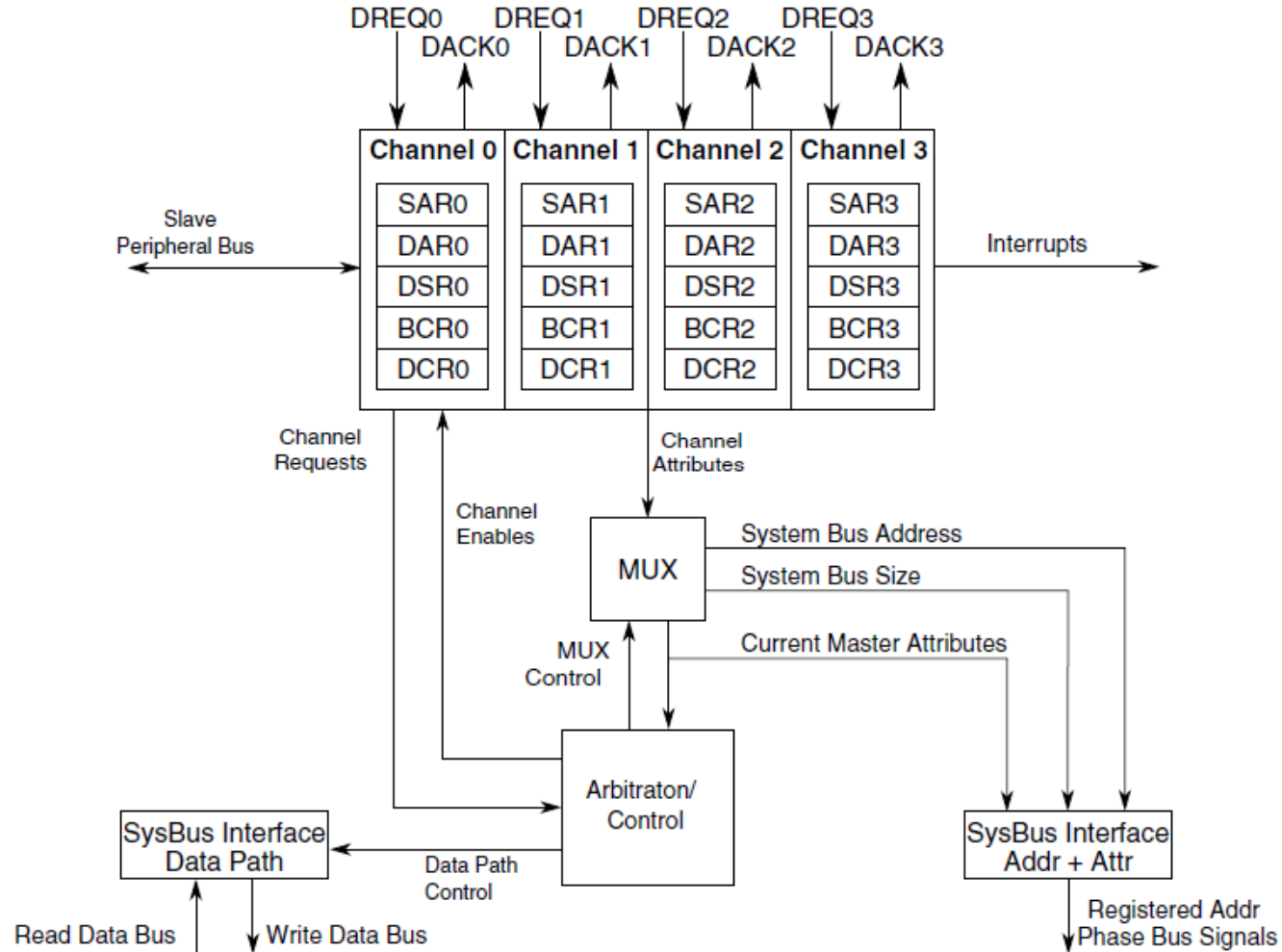
- DMA řadiče obvykle implementují více tzv. kanálů.
- Kanály představují různé páry zdroj-cíl přenosů dat.
- Daný kanál je aktivován volitelným spouštěcím signálem, tzv. triggerem (signál DRQ, DMA Request)
- Dva možné scénáře přenosu bloku dat:
 - (A) Přenos celého bloku dat na základě jediné aktivace triggeru.
 - (B) Jeden **přenos** spuštěn každou aktivací triggeru.



DMA řadič KL25Z

- Fixed-priority arbitráž v případě souběhu činnosti kanálů.
- Celkem 4 kanály, každý disponuje sadou registrů:
- Registry pro zdrojovou (SAR) a cílovou (DAR) adresu dat.
- Registr DSR_BCR: příznakové bity, zbývající velikost bloku přenášených dat (pole BCR).
- Konfigurace kanálu – registr DCR:
 - Objem dat v **přenosu** (SSIZE, DSIZE).
 - Inkrementace SAR, DAR po každém **přenosu** (SINC, DINC).
 - Deaktivace triggeru kanálu po vyčerpání velikosti bloku přen. dat (D_REQ).
 - Volba scénáře A (CS = 0), nebo B (CS = 1)

DMA řadič KL25Z





DMA multiplex KL25Z I.

- Mapuje DRQ signály jednotlivých periférií na trigger vstupy jednotlivých DMA kanálů.
- Umožňuje kterékoliv periferii, která podporuje DMA, spouštět přenosy na kterémkoliv DMA kanálu.
- Celkem 4 speciální "always-on" DRQ zdroje.
- DMA kanály 0 a 1 umožňují použít tzv. periodic trigger mode.
 - `TRG_N = DRQ_N && PIT_N_FLAG`
 - POZOR, NEFUNGUJE! (Dokumentovaná vada v návrhu MCU KL25Z.) Ponaučení: Polovodiče obsahují dokumentované vady.



DMA multiplex KL25Z II.

